

DIALOG(R) File 351:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

011114560 **Image available**
WPI Acc No: 1997-092485/ **199709**
XRPX Acc No: N97-076377

Electron emitting element of cold cathode electron source for image forming appts, display device, exposure system - in which work function of substrate is lower than that of electron emission part or foundation film

Patent Assignee: CANON KK (CANO)
Number of Countries: 001 Number of Patents: 001
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8329828	A	19961213	JP 95154071	A	19950530	199709 B

Priority Applications (No Type Date): JP 95154071 A 19950530

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 8329828	A	22	H01J-001/30	

Abstract (Basic): JP 8329828 A

The element has an electrically conductive film (3) on which an electron emission part (2) is formed between a pair of element electrodes (4,5). This film is formed on a substrate (1) having a foundation film (6).

The work function of the substrate is lower than that of the electron emission part or the foundation films.

USE/ADVANTAGE - Other types of FE type, MIM type, surface insulation type electron emitting element. Improves electron emission characteristics. Improves durability of element. Reduces power consumption thereby reducing cost.

Dwg.1/18

Title Terms: ELECTRON; EMIT; ELEMENT; COLD; CATHODE; ELECTRON; SOURCE; IMAGE; FORMING; APPARATUS; DISPLAY; DEVICE; EXPOSE; SYSTEM; WORK; FUNCTION; SUBSTRATE; LOWER; ELECTRON; EMIT; PART; FOUNDATION; FILM

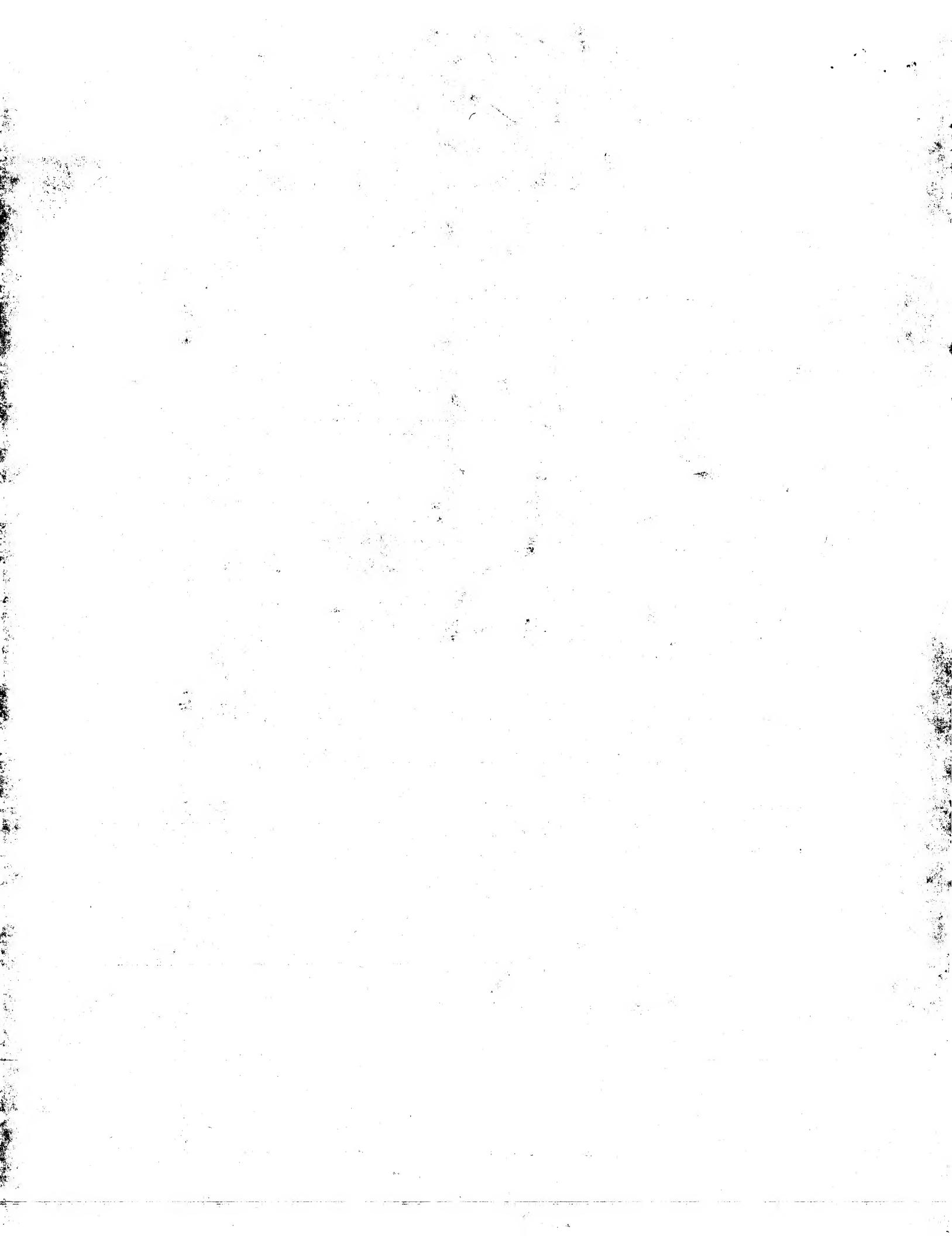
Derwent Class: V05

International Patent Class (Main): H01J-001/30

International Patent Class (Additional): H01J-031/12

File Segment: EPI

Manual Codes (EPI/S-X): V05-D01; V05-D05C5



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-329828

(43)公開日 平成8年(1996)12月13日

(51)Int.Cl.⁶

H 01 J 1/30
31/12

識別記号

庁内整理番号

F I

H 01 J 1/30
31/12

技術表示箇所

B
B

審査請求 未請求 請求項の数8 FD (全22頁)

(21)出願番号

特願平7-154071

(22)出願日

平成7年(1995)5月30日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 佐藤 安栄

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72)発明者 浜元 康弘

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72)発明者 野村 一郎

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74)代理人 弁理士 豊田 善雄 (外1名)

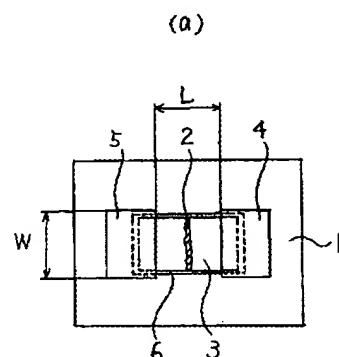
最終頁に続く

(54)【発明の名称】 電子放出素子、それを用いた電子源、画像形成装置

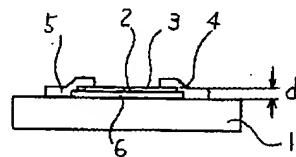
(57)【要約】

【目的】 電子放出特性を向上し、安定で長寿命な表面
伝導型電子放出素子を得る。

【構成】 電子放出部2を構成する物質よりも仕事関数
の低い物質を含む基板1又は下地薄膜6上に、導電性膜
3を形成する。



(b)



1

【特許請求の範囲】

【請求項1】 電極間に、電子放出部が形成された導電性膜を有する電子放出素子において、電子放出部を構成する物質よりも低い仕事関数を有する物質を含む基板または下地薄膜上に、導電性膜が形成されていることを特徴とする電子放出素子。

【請求項2】 素子電極が同一面上に形成された平面型であることを特徴とする請求項1の電子放出素子。

【請求項3】 素子電極が絶縁層を介して上下に位置し、該絶縁層の側面に電子放出部を含む導電性膜が形成された垂直型であることを特徴とする請求項1の電子放出素子。
10

【請求項4】 前記電子放出素子が表面伝導型電子放出素子である請求項1ないし3いずれかの電子放出素子。

【請求項5】 請求項1ないし4いずれかの電子放出素子を複数配列した素子列を少なくとも1列以上有し、各電子放出素子を駆動するための配線がマトリクス配置されていることを特徴とする電子源。
10

【請求項6】 請求項1ないし4いずれかの電子放出素子を複数配列した素子列を少なくとも1列以上有し、各電子放出素子を駆動するための配線がはしご状配置されていることを特徴とする電子源。
20

【請求項7】 請求項5又は6の電子源と、該電子源からの電子線の照射により画像を形成する画像形成部材とを有することを特徴とする画像形成装置。

【請求項8】 請求項5又は6の電子源と、該電子源から放出される電子線を情報信号に応じて変調する変調手段と、該電子源からの電子線の照射により画像を形成する画像形成部材とを有することを特徴とする画像形成装置。
30

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電子放出素子、これを用いた電子源、表示装置や露光装置等の画像形成装置に関するもの。

【0002】

【従来の技術】従来より、電子放出素子としては大別して熱電子源と冷陰極電子源の2種類が知られている。冷陰極電子源には電界放射型(FE型)、金属/絶縁層/金属型(MIM型)や表面伝導型電子放出素子がある。
40

【0003】例えば表面伝導型電子放出素子は、絶縁性の基板上に形成された導電性薄膜に、膜面に平行に電流を流すことにより電子放出が生ずる現象を利用するものである。

【0004】表面伝導型電子放出素子の典型的な構成例としては、絶縁性の基板上に設けた一対の素子電極間を連絡する金属酸化物等の導電性薄膜に、予めフォーミングと称される通電処理により電子放出部を形成したものが挙げられる。フォーミングは、導電性薄膜の両端に直流電圧あるいは非常にゆっくりとした昇電圧、例えば1

V／1分程度の昇電圧を印加通電することで通常行われ、導電性薄膜を局所的に破壊、変形もしくは変質させて構造を変化させ、電気的に高抵抗な状態の電子放出部を形成する処理である。電子放出は、上記電子放出部が形成された導電性薄膜に電圧を印加して電流を流すことにより、電子放出部に発生した亀裂付近から行われる。
2

【0005】上記表面伝導型電子放出素子は、構造が単純で製造も容易であることから、大面積に亘って多数配列形成できる利点がある。そこで、この特徴を活かすための種々の応用が研究されている。例えば表示装置等の画像形成装置への利用が挙げられる。

【0006】従来、多数の表面伝導型電子放出素子を配列形成した例としては、並列に表面伝導型電子放出素子を配列し、個々の表面伝導型電子放出素子の両端(両素子電極)を配線(共通配線とも呼ぶ)にて夫々結線した行を多数行配列(梯型配線とも呼ぶ)した電子源が挙げられる(特開平1-31332号公報、同1-283749号公報、同2-257552号公報)。また、特に表示装置においては、液晶を用いた表示装置と同様の平板型表示装置とすることが可能で、しかもバックライトが不要な自発光型の表示装置として、表面伝導型電子放出素子を多数配置した電子源と、この電子源からの電子線の照射により可視光を発光する蛍光体とを組み合わせた表示装置が提案されている(アメリカ特許第5066883号明細書)。
20

【0007】

【発明が解決しようとする課題】ところで、電子放出素子の上記のような応用に際して、低電流で明るく高品位な画像を得、しかも駆動回路のコストダウンも図れるようにするために、効率の良い電子放出素子が望まれている。ここで、例えば表面伝導型電子放出素子の効率とは、表面伝導型電子放出素子の一対の素子電極間に電圧を印加したときに流れる電流(素子電流 I_f という)に対する真空中に放出される電流(放出電流 I_e という)との電流比をいう。つまり、効率の良い表面伝導型電子放出素子とするためには、素子電流 I_f はできるだけ小さく、放出電流 I_e はできるだけ大きくすることが必要となる。

【0008】本発明は、電子放出特性が向上し、安定で長寿命な電子放出素子を容易に得られるようにすると共に、これを用いた効率の良い電子源、及び低電流で明るく高品位な画像が得られる画像形成装置を得ることを目的とする。
40

【0009】

【課題を解決するための手段及び作用】請求項1～4の発明は、電子放出素子に関する発明で、電極間に、電子放出部が形成された導電性膜を有する電子放出素子において、電子放出部を構成する物質よりも低い仕事関数を有する物質を含む基板または下地薄膜上に、導電性膜が形成されている点に特徴を有するものである。
50

【0010】また、請求項5～6の発明は、上記電子放出素子を複数個備えた電子源に関する発明であり、電子放出素子を複数配列した素子列を少なくとも1列以上有し、各電子放出素子を駆動するための配線がマトリクス配置又は梯状配置されている点に特徴を有するものである。

【0011】さらに、請求項7及び8の発明は、上記電子源を用いた画像形成装置に関する発明であり、上記電子源と、該電子源からの電子線の照射により画像を形成する画像形成部材とを有する点に特徴を有するものである。

【0012】上記のように、本発明は、新規な電子放出素子、この電子放出素子を複数個備えた新規な電子源、これを用いた新規な画像形成装置に係るもので、各発明の構成及び作用を以下に更に説明する。

【0013】本発明の電子放出素子には平面型と垂直型がある。まず、平面型の電子放出素子の基本的な構成について説明する。

【0014】図1(a)、(b)は、平面型の電子放出素子の基本的な構成を示す図である。

【0015】図1において1は基板、2は電子放出部、3は導電性膜、4と5は素子電極、6は下地薄膜である。

【0016】基板1としては、例えば石英ガラス、Na等の不純物含有量を減少させたガラス、青板ガラス、青板ガラスにスパッタ法等により SiO_2 を積層した積層体、アルミナ等のセラミックス等が挙げられる。

【0017】対向する素子電極4、5の材料としては、一般的導体材料が用いられ、例えばNi、Cr、Au、Mo、W、Pt、Ti、Al、Cu、Pd等の金属あるいは合金及びPd、Ag、Au、RuO₂、Pd-Ag等の金属あるいは金属酸化物とガラス等から構成される印刷導体、In₂O₃-SnO₂等の透明導電体及びシリコン等の半導体導体材料等から適宜選択される。

【0018】素子電極間隔L、素子電極長さW、導電性膜3の形状等は、応用される形態等によって設計される。

【0019】素子電極間隔Lは、数百オングストロームから数百マイクロメートルであることが好ましく、より好ましくは、素子電極4、5間に印加する電圧等により、数マイクロメートルから数十マイクロメートルである。

【0020】素子電極長さWは、電極の抵抗値や電子放出特性を考慮すると、好ましくは数マイクロメートルから数百マイクロメートルであり、また素子電極厚dは、数百オングストロームから数マイクロメートルである。

【0021】尚、図1に示す電子放出素子は、基板1上に、下地薄膜6、導電性膜3、素子電極4、5の順に積層したものとなっているが、基板1上に、下地薄膜6、素子電極4、5、導電性膜3の順に積層したもの、或い

は素子電極4、5、下地薄膜6、導電性膜3の順に積層したものとしてもよい。

【0022】下地薄膜6を構成する材料としては、電子放出部2に含まれ電子放出に関与している物質の仕事関数よりも低い仕事関数を有する物質、例えばCa、Cs、Ba、Sr、Th等を含む化合物が挙げられる。

【0023】導電性膜3は、良好な電子放出特性を得るために、微粒子で構成された微粒子膜であることが特に好ましく、その膜厚は、素子電極4、5へのステップカバレージ、素子電極4、5間の抵抗値及び後述するフォーミング条件等によって適宜選択される。この導電性膜3の膜厚は、好ましくは数オングストロームから数千オングストロームで、特に好ましくは10オングストロームから500オングストロームであり、その抵抗値は、10の3乗から10の7乗オーム／□のシート抵抗値である。

【0024】本発明における導電性膜3を構成する材料としては、例えばPd、Pt、Ru、Ag、Au、Ti、In、Cu、Cr、Fe、Zn、Sn、Ta、W、Pb等の金属、PdO、SnO₂、In₂O₃、PbO、Sb₂O₃等の酸化物、HfB₂、ZrB₂、LaB₆、CeB₆、YB₄、GdB₄等の硼化物、TiC、ZrC、HfC、TaC、SiC、WCなどの炭化物、TiN、ZrN、HfN等の窒化物、Si、Ge等の半導体、カーボン等が挙げられる。

【0025】尚、上記微粒子膜とは、複数の微粒子が集合した膜であり、その微細構造として、微粒子が個々に分散配置した状態のみならず、微粒子が互いに隣接、あるいは重なり合った状態（島状も含む）の膜をさす。微粒子膜である場合、微粒子の粒径は、数オングストロームから数千オングストロームであることが好ましく、特に好ましくは10オングストロームから200オングストロームである。

【0026】電子放出部2には亀裂が含まれており、電子放出はこの亀裂付近から行われる。この亀裂を含む電子放出部2及び亀裂自体は、導電性膜3の膜厚、膜質、材料及び後述するフォーミング条件等の製法に依存して形成される。従って、電子放出部2の位置及び形状は図1に示されるような位置及び形状に特定されるものではない。

【0027】亀裂は、数オングストロームから数百オングストロームの粒径の導電性微粒子を有することもある。この導電性微粒子は、導電性膜3を構成する材料の元素の一部、あるいは総てと同様のものである。また、亀裂を含む電子放出部2及びその近傍の導電性膜3は炭素及び炭素化合物を有することもある。

【0028】次に、垂直型の電子放出素子の基本的な構成について説明する。

【0029】図2は、垂直型の電子放出素子の基本的な構成を示す図で、図中21は段差形成部材で、その他図

1と同じ符号は同じ部材を示すものである。

【0030】基板1、電子放出部2、導電性膜3、素子電極4、5及び下地薄膜6は、前述した平面型の電子放出素子と同様の材料で構成されている。

【0031】段差形成部材21は、例えば真空蒸着法、印刷法、スパッタ法等で付設されたSiO₂等の絶縁性材料で構成されたものである。この段差形成部材21の膜厚は、先に述べた平面型の電子放出素子の素子電極間隔L(図1参照)に対応するもので、段差形成部材21の作成法や素子電極4、5間に印加する電圧等により設定されるが、好ましくは数百オングストロームから数十マイクロメートルであり、特に好ましくは数百オングストロームから数マイクロメートルである。

【0032】図2に示す電子放出素子は、基板1及び段差形成部材21上に、下地薄膜6及び導電性膜3を形成した後に素子電極4、5を積層しているが、下地薄膜6上に素子電極4、5を積層した後に導電性膜3を形成するか、或いは、素子電極4、5を積層した後に下地薄膜6及び導電性膜3を形成することも可能である。また、平面型の電子放出素子の説明においても述べたように、電子放出部2の形成は、導電性膜3の膜厚、膜質、材料及び後述するフォーミング条件等の製法に依存するので、その位置及び形状は図2に示されるような位置及び形状に特定されるものではない。

【0033】尚、以下の説明は、上述の平面型の電子放出素子と垂直型の電子放出素子の内、平面型を例にして説明するが、平面型の電子放出素子に代えて垂直型の電子放出素子としてもよい。

【0034】本発明の電子放出素子の製法としては様々な方法が考えられるが、その一例を図3ないし図6に基づいて説明する。尚、図3において図1と同じ符号は同じ部材を示すものである。

【0035】1) 基板1を洗剤、純水及び有機溶剤により十分に洗浄した後、真空蒸着法、スパッタ法等により下地薄膜6を形成する(図3(a))。

【0036】2) 下地薄膜6を積層した基板1上に、有機金属溶液を塗布して放置することにより、有機金属薄膜を形成する。尚、有機金属溶液とは、前述の導電性膜3の構成材料の金属を主元素とする有機化合物の溶液である。この後、有機金属薄膜を加熱焼成処理し、リフトオフ、エッチング等によりパターニングされた導電性膜3を形成する(図3(b))。

【0037】本発明においては、上記加熱焼成時に加熱温度を所定の温度に制御することにより、導電性膜3の構成材料が、酸化物と金属の2相混合状態か、あるいは非化学量論組成を有する酸化物を有する状態にすることが好ましい。これは再酸化又は再還元によって抵抗値の調整を広範囲で行えるためである。

【0038】尚、ここでは、有機金属溶液の塗布法により説明したが、これに限ることなく、例えば真空蒸着

法、スパッタ法、化学的気相堆積法、分散塗布法、ディップリング法、スピナー法等によって有機金属膜を形成することもできる。

【0039】3) 導電性膜3上に、真空蒸着法、スパッタ法等により素子電極材料を堆積させた後、フォトリソグラフィー技術により素子電極4、5を形成する(図3(c))。

【0040】4) 続いて、フォーミングと呼ばれる通電処理を施す。素子電極4、5間に不図示の電源より通電すると、導電性膜3の部位に構造の変化した電子放出部2が形成される(図3(d))。この通電処理により導電性膜3を局所的に破壊、変形もしくは変質せしめ、構造の変化した部位が電子放出部2である。

【0041】フォーミングの電圧波形の例を図4に示す。

【0042】電圧波形は、特にパルス波形が好ましく、パルス波高値を定電圧とした電圧パルスを連続的に印加する場合(図4(a))と、パルス波高値を増加させながら電圧パルスを印加する場合(図4(b))とがある。

【0043】まず、パルス波高値を定電圧とした場合について図4(a)で説明する。

【0044】図4(a)におけるT1及びT2は電圧波形のパルス幅とパルス間隔であり、例えば、T1を1マイクロ秒～10ミリ秒、T2を10マイクロ秒～100ミリ秒とし、波高値(フォーミング時のピーク電圧)を前述した電子放出素子の形態に応じて適宜選択して、適当な真空度の真空雰囲気下で、数秒から数十分印加する。尚、印加する電圧波形は、図示される三角波に限定されるものではなく、矩形波等の所望の波形を用いることができる。

【0045】次に、パルス波高値を増加させながら電圧パルスを印加する場合について図4(b)で説明する。

【0046】図4(b)におけるT1及びT2は図4(a)と同様であり、波高値(フォーミング時のピーク電圧)を、例えば0.1Vステップ程度ずつ増加させ、図4(a)の説明と同様の適当な真空雰囲気下で印加する。

【0047】尚、パルス間隔T2中に、導電性膜3を局所的に破壊、変形もしくは変質させない程度の電圧、例えば0.1V程度の電圧で素子電流を測定して抵抗値を求め、例えば1Mオーム以上の抵抗を示したときにフォーミングを終了することが好ましい。

【0048】上記フォーミング工程からそれ以降の工程は、図5に示されるような測定評価系内で行われるものである。この測定評価系について説明する。

【0049】図5において、図1と同じ符号は同じ部材を示す。また、51は素子に素子電圧Vfを印加するための電源、50は素子電極4、5間の導電性膜3を流れ素子電流Ifを測定するための電流計、54は電子放

出部2より放出される放出電流 I_e を捕捉するためのアノード電極、53はアノード電極54に電圧を印加するための高圧電源、52は電子放出部2より放出される放出電流 I_e を測定するための電流計、55は真空装置、56は排気ポンプ、57はガス導入口である。

【0050】電子放出素子及びアノード電極54等は真空装置55内に設置され、この真空装置55には不図示の真空計等の必要な機器が具備されていて、所望の真空下で電子放出素子の測定評価ができるようになっている。

【0051】排気ポンプ56は、ターボポンプ、ローターポンプ等からなる通常の高真空装置系と、イオンポンプ等からなる超高真空装置系とから構成されている。また、真空装置55全体及び電子放出素子の基板1は、ヒーターにより200°C程度まで加熱できるようになっている。尚、この測定評価系は、後述するような表示パネルの組み立て段階において、表示パネル及びその内部を真空装置55及びその内部として構成することで、フォーミング工程及び後述するそれ以後の工程における測定評価及び処理に応用されるものである。

【0052】5) 本発明の電子放出素子の場合、更に活性化工程を施すことが好ましい。

【0053】活性化工程とは、例えば10の-4乗～10の-5乗torr程度の真空度で、パルス波高値を定電圧としたパルスの印加を繰り返す処理のことをいい、真空雰囲気中に存在する有機物質から炭素及び炭素化合物を電子放出部2に堆積させることで、素子電流、放出電流の状態を著しく向上させることができる工程である。この活性化工程は、例えば素子電流や放出電流を測定しながら行って、例えば放出電流が飽和した時点で終了するようにすれば効果的であるので好ましい。また、活性化工程でのパルス波高値は、好ましくは駆動電圧の波高値である。

【0054】尚、上記炭素及び炭素化合物とは、グラファイト(単結晶及び多結晶の双方を指す)、非晶質カーボン(非晶質カーボン及びこれと多結晶グラファイトとの混合物を指す)である。また、その堆積膜厚は、好ましくは500オングストローム以下、より好ましくは300オングストローム以下である。

【0055】6) このようにして作成した電子放出素子を、フォーミング工程、活性化工程での真空度より高い真空度の真空雰囲気下で動作駆動する、安定化工程を施すことが好ましい。より好ましくは、この高い真空度の真空雰囲気下で、80～150°Cの加熱の後、動作駆動する。

【0056】尚、フォーミング工程、活性化工程の真空度より高い真空度の真空雰囲気とは、例えば約10の-6乗torr以上の真空度を有する真空雰囲気であり、より好ましくは超高真空系であり、炭素及び炭素化合物が新たにほぼ堆積しない真空度である。

【0057】即ち、電子放出素子を上記真空雰囲気中に封入してしまうことにより、これ以上の炭素及び炭素化合物の堆積を抑制することが可能となり、これによって素子電流 I_f 、放出電流 I_e が安定する。

【0058】このようにして得られる電子放出素子、中でも表面伝導型電子放出素子と呼ばれる素子の基本特性を以下に説明する。

【0059】以下に述べる表面伝導型電子放出素子の基本特性は、図5の測定評価系のアノード電極54の電圧を1kV～10kVとし、アノード電極54と表面伝導型電子放出素子の距離Hを2～8mmとして行った測定に基づくものである。

【0060】まず、放出電流 I_e 及び素子電流 I_f と、素子電圧 V_f との関係の典型的な例を図6に示す。尚、図6の(a)において、放出電流 I_e は素子電流 I_f に比べて著しく小さいので、任意単位で示されている。

【0061】図6の(a)から明らかなように、表面伝導型電子放出素子は、放出電流 I_e に対する次の3つの特徴的特性を有する。

【0062】まず第1に、表面伝導型電子放出素子はある電圧(しきい値電圧と呼ぶ: 図6の(a)中の V_{th})を超える素子電圧 V_f を印加すると急激に放出電流 I_e が増加し、一方しきい値電圧 V_{th} 以下では放出電流 I_e が殆ど検出されない。即ち、放出電流 I_e に対する明確なしきい値電圧 V_{th} を持った非線形素子である。

【0063】第2に、放出電流 I_e が素子電圧 V_f に対して単調増加する特性(MI特性と呼ぶ)を有するため、放出電流 I_e は素子電圧 V_f で制御できる。

【0064】第3に、アノード電極54(図5参照)に補足される放出電荷は、素子電圧 V_f を印加する時間に依存する。即ち、アノード電極54に捕捉される電荷量は、素子電圧 V_f を印加する時間により制御できる。

【0065】放出電流 I_e が素子電圧 V_f に対してMI特性を有すると同時に、素子電流 I_f も素子電圧 V_f に対してMI特性を有する場合もある。このような表面伝導型電子放出素子の特性の例が図6の(a)で示す特性である。一方、図6の(b)で示すように、素子電流 I_f は素子電圧 V_f に対して電圧制御型負性抵抗特性(VCNR特性と呼ぶ)を示す場合もある。いずれの特性を示すかは、表面伝導型電子放出素子の製法及び測定時の測定条件等に依存する。但し、素子電流 I_f が素子電圧 V_f に対してVCNR特性を有する表面伝導型電子放出素子でも、上記3つの特性上の特徴を有する。

【0066】図1に示したような表面伝導型電子放出素子の特性は、下地薄膜6を形成せずに直接基板1上に導電性膜3を形成した場合に比べ、概ね20～100%程放出電流 I_e が増加し、放出電流 I_e の変動も30%以上改善され、安定した電子放出が得られ、また放出電流 I_e の経時変化も少なく、1000時間連続動作後の放

出電流 I_e の低下が 20% 以上改善された。

【0067】また、本発明の実施態様として下地薄膜 6 を形成しない場合には、電子放出部 2 に含まれ電子放出に関与している物質の仕事関数よりも低い仕事関数を有する物質を含む基板 1 上に、導電性膜 6 を形成することになる。この基板 1 は、基板として対応でき、かつ電子放出部 2 に含まれ電子放出に関与している物質の仕事関数よりも低い仕事関数を有する物質を含む材料で形成されなければならないが、上述したと同様に電子放出特性が向上し、放出電流 I_e の経時変化が少なく安定な電子放出素子が得られるものである。

【0068】次に、本発明の電子源における電子放出素子の配列について、表面伝導型電子放出素子を例に説明する。

【0069】本発明の電子源における表面伝導型電子放出素子の配列方式としては、従来の技術の項で述べたような梯子型配置の他、m 本の X 方向配線の上に n 本の Y 方向配線を層間絶縁層を介して設置し、表面伝導型電子放出素子の一対の素子電極に夫々 X 方向配線、Y 方向配線を接続した配置方式が挙げられる。これを以後単純マトリクス配置と呼ぶ。まず、この単純マトリクス配置について詳述する。

【0070】前述した表面伝導型電子放出素子の基本的特性によれば、単純マトリクス配置された表面伝導型電子放出素子における放出電子は、しきい値電圧を超える電圧では、対向する素子電極間に印加するパルス状電圧の波高値とパルス幅で制御できる。一方、しきい値電圧以下では殆ど電子は放出されない。従って、多数の表面伝導型電子放出素子を配置した場合においても、個々の素子に上記パルス状電圧を適宜印加すれば、入力信号に応じて表面伝導型電子放出素子を選択し、その電子放出量が制御でき、単純なマトリクス配線だけで個別の表面伝導型電子放出素子を選択して独立に駆動可能となる。

【0071】単純マトリクス配置はこのような原理に基づくもので、本発明の電子源の一例である、この単純マトリクス配置の電子源の構成について図 7 に基づいて更に説明する。

【0072】図 7 において基板 1 は既に説明したようなガラス板等であり、この基板 1 上に配列された本発明の表面伝導型電子放出素子 104 の個数及び形状は用途に応じて適宜設定されるものである。

【0073】m 本の X 方向配線 102 は、夫々外部端子 $D_{x1}, D_{x2}, \dots, D_{xm}$ を有するもので、基板 1 上に、真空蒸着法、印刷法、スパッタ法等で形成した導電性金属等である。また、多数の表面伝導型電子放出素子 104 にほぼ均等に電圧が供給されるように、材料、膜厚、配線幅が設定されている。

【0074】n 本の Y 方向配線 103 は、夫々外部端子 $D_{y1}, D_{y2}, \dots, D_{yn}$ を有するもので、X 方向配線 102 と同様に作成される。

【0075】これら m 本の X 方向配線 102 と n 本の Y 方向配線 103 間には、不図示の層間絶縁層が設置され、電気的に分離されて、マトリクス配線を構成している。尚、この m, n は共に正の整数である。

【0076】不図示の層間絶縁層は、真空蒸着法、印刷法、スパッタ法等で形成された SiO₂ 等であり、X 方向配線 102 を形成した基板 1 の全面或は一部に所望の形状で形成され、特に、X 方向配線 102 と Y 方向配線 103 の交差部の電位差に耐え得るように、膜厚、材料、製法が適宜設定される。

【0077】更に、表面伝導型電子放出素子 104 の対向する素子電極（不図示）が、m 本の X 方向配線 102 と、n 本の Y 方向配線 103 と、真空蒸着法、印刷法、スパッタ法等で形成された導電性金属等からなる結線 105 によって電気的に接続されているものである。

【0078】ここで、m 本の X 方向配線 102 と、n 本の Y 方向配線 103 と、結線 105 と、対向する素子電極とは、その構成元素の一部あるいは全部が同一であっても、また夫々異なっていてもよく、前述の素子電極の材料等より適宜選択される。これら素子電極への配線は、素子電極と材料が同一である場合は素子電極と総称する場合もある。また、表面伝導型電子放出素子 104 は、基板 1 あるいは不図示の層間絶縁層上どちらに形成してもよい。

【0079】また、詳しくは後述するが、前記 X 方向配線 102 には、X 方向に配列された表面伝導型電子放出素子 104 の行を入力信号に応じて走査するために、走査信号を印加する不図示の走査信号印加手段が電気的に接続されている。

【0080】一方、Y 方向配線 103 には、Y 方向に配列された表面伝導型電子放出素子 104 の列の各列を入力信号に応じて変調するために、変調信号を印加する不図示の変調信号発生手段が電気的に接続されている。更に、各表面伝導型電子放出素子 104 に印加される駆動電圧は、当該表面伝導型電子放出素子 104 に印加される走査信号と変調信号の差電圧として供給されるものである。

【0081】次に、以上のような単純マトリクス配置の本発明の電子源を用いた本発明の画像形成装置の一例を、図 8～図 10 を用いて説明する。尚、図 8 は表示パネル 201 の基本構成図であり、図 9 は蛍光膜 114 を示す図であり、図 10 は図 8 の表示パネル 201 で、NTSC 方式のテレビ信号に応じてテレビジョン表示を行うための駆動回路の一例を示すブロック図である。

【0082】図 8 において、1 は上述のようにして本発明の表面伝導型電子放出素子を配置した電子源の基板、111 は基板 1 を固定したリアプレート、116 はガラス基板 113 の内面に蛍光膜 114 とメタルパック 115 等が形成されたフェースプレート、112 は支持枠であり、リアプレート 111、支持枠 112 及びフェース

プレート116にフリットガラス等を塗布し、大気中あるいは窒素中で、400～500°Cで10分以上焼成することで封着して外囲器118を構成している。

【0083】図8において、2は図1における電子放出部に相当する。102、103は、表面伝導型電子放出素子104の一対の素子電極4、5と接続されたX方向配線及びY方向配線で、夫々外部端子Dx1ないしDxm、Dy1ないしDynを有している。

【0084】外囲器118は、上述の如く、フェースプレート116、支持枠112、リアプレート111で構成されている。しかし、リアプレート111は主に基板1の強度を補強する目的で設けられるものであり、基板1自体で十分な強度を持つ場合は別体のリアプレート111は不要で、基板1に直接支持枠112を封着し、フェースプレート116、支持枠112、基板1にて外囲器118を構成してもよい。また、フェースプレート116、リアプレート111の間にスペーサーと呼ばれる不図示の支持体を更に設置することで、大気圧に対して十分な強度を有する外囲器118とすることもできる。

【0085】蛍光膜114は、モノクロームの場合は蛍光体122のみからなるが、カラーの蛍光膜114の場合は、蛍光体122の配列により、ブラックストライプ(図9(a))あるいはブラックマトリクス(図9(b))等と呼ばれる黒色導伝材121と蛍光体122とで構成される。ブラックストライプ、ブラックマトリクスが設けられる目的は、カラー表示の場合必要となる三原色の各蛍光体122間の塗り分け部を黒くすることで混色等を目立たなくすることと、蛍光膜114における外光反射によるコントラストの低下を抑制することである。黒色導伝材121の材料としては、通常良く用いられている黒鉛を主成分とする材料だけでなく、導電性があり、光の透過及び反射が少ない材料であれば他の材料を用いることもできる。

【0086】ガラス基板113に蛍光体122を塗布する方法としては、モノクローム、カラーによらず、沈殿法や印刷法が用いられる。

【0087】また、図8に示されるように、蛍光膜114の内面側には通常メタルパック115が設けられる。メタルパック115の目的は、蛍光体122(図9参照)の発光のうち内面側への光をフェースプレート116側へ鏡面反射することにより輝度を向上すること、電子ビーム加速電圧を印加するための電極として作用すること、外囲器118内で発生した負イオンの衝突によるダメージからの蛍光体122の保護等である。メタルパック115は、蛍光膜114の作製後、蛍光膜114の内面側表面の平滑化処理(通常フィルミングと呼ばれる)を行い、その後A1を真空蒸着等で堆積することでき作製できる。

【0088】フェースプレート116には、更に蛍光膜

114の導伝性を高めるため、蛍光膜114の外側に透明電極(不図示)を設けてよい。

【0089】前述の封着を行う際、カラーの場合は各色蛍光体122と表面伝導型電子放出素子104とを対応させなくてはいけないため、十分な位置合わせを行なう必要がある。

【0090】外囲器118内は、不図示の排気管を通じ、10の-7乗torr程度の真空中にされ、封止される。また、外囲器118の封止を行う直前あるいは封止後に、ゲッター処理を行うこともある。これは、外囲器118内の所定の位置に配置したゲッター(不図示)を加熱し、蒸着膜を形成する処理である。ゲッターは通常Ba等が主成分であり、該蒸着膜の吸着作用により、例えば1×10の-5乗ないしは1×10の-7乗torrの真空中を維持するためのものである。

【0091】尚、前述したフォーミング及びこれ以降の表面伝導型電子放出素子の各製造工程は、通常、外囲器118の封止直前又は封止後に行われるもので、その内容は前述の通りである。

【0092】上述の表示パネル201は、例えば図10に示されるような駆動回路で駆動することができる。尚、図11において、201は表示パネル、202は走査回路、203は制御回路、204はシフトレジスタ、205はラインメモリ、206は同期信号分離回路、207は変調信号発生器、Vx及びVaは直流電圧源である。

【0093】図10に示されるように、表示パネル201は、外部端子Dx1ないしDxm、外部端子Dy1ないしDyn及び高圧端子Hvを介して外部の電気回路と接続されている。この内、外部端子Dx1ないしDxmには前記表示パネル201内に設けられている表面伝導型電子放出素子、即ちm行n列の行列状にマトリクス配置された表面伝導型電子放出素子群を1行(n素子ずつ)順次駆動して行くための走査信号が印加される。

【0094】一方、端子Dy1ないし外部端子Dynには、前記走査信号により選択された1行の各表面伝導型電子放出素子の出力電子ビームを制御するための変調信号が印加される。また、高圧端子Hvには、直流電圧源Vaより、例えば10kVの直流電圧が供給される。これは表面伝導型電子放出素子より出力される電子ビームに、蛍光体を励起するのに十分なエネルギーを付与するための加速電圧である。

【0095】走査回路202は、内部にm個のスイッチング素子(図10中S1ないしSmで模式的に示す)を備えるもので、各スイッチング素子S1～Smは、直流電圧電源Vxの出力電圧もしくは0V(グランドレベル)のいずれか一方を選択して、表示パネル201の外部端子Dx1ないしDxmと電気的に接続するものである。各スイッチング素子S1～Smは、制御回路203が outputする制御信号Tscanに基づいて動作するもの

で、実際には、例えばFETのようなスイッチング機能を有する素子を組み合わせることにより容易に構成することが可能である。

【0096】本例における前記直流電圧源Vxは、前記表面伝導型電子放出素子の特性（しきい値電圧）に基づき、走査されていない表面伝導型電子放出素子に印加される駆動電圧がしきい値電圧以下となるような一定電圧を出力するよう設定されている。

【0097】制御回路203は、外部より入力される画像信号に基づいて適切な表示が行われるように、各部の動作を整合させる働きを持つものである。次に説明する同期信号分離回路206より送られる同期信号Tsyncに基づいて、各部に対してTscan、Tsoft及びTmryの各制御信号を発生する。10

【0098】同期信号分離回路206は、外部から入力されるNTSC方式のテレビ信号から、同期信号成分と輝度信号成分を分離するための回路で、よく知られているように、周波数分離（フィルター）回路を用いれば、容易に構成できるものである。同期信号分離回路206により分離された同期信号は、これもよく知られるように、垂直同期信号と水平同期信号よりなる。ここでは、説明の便宜上Tsyncとして図示する。一方、前記テレビ信号から分離された画像の輝度信号成分を便宜上DATA信号と図示する。このDATA信号はシフトレジスタ204に入力される。

【0099】シフトレジスタ204は、時系列的にシリアル入力される前記DATA信号を、画像の1ライン毎にシリアル／パラレル変換するためのもので、前記制御回路203より送られる制御信号Tsoftに基づいて作動する。この制御信号Tsoftは、シフトレジスタ204のシフトクロックであると言い換えてもよい。また、シリアル／パラレル変換された画像1ライン分（表面伝導型電子放出素子のn素子分の駆動データに相当する）のデータは、Id1ないしIdnのn個の並列信号として前記シフトレジスタ204より出力される。

【0100】ラインメモリ205は、画像1ライン分のデータを必要時間だけ記憶するための記憶装置であり、制御回路203より送られる制御信号Tmryに従って適宜Id1ないしIdnの内容を記憶する。記憶された内容は、Id'1ないしId'nとして出力され、変調信号発生器207に入力される。

【0101】変調信号発生器207は、前記画像データId'1ないしId'nの各々に応じて、表面伝導型電子放出素子の各々を適切に駆動変調するための信号源で、その出力信号は、端子Dy1ないしDynを通じて表示パネル201内の表面伝導型電子放出素子に印加される。

【0102】前述したように、表面伝導型電子放出素子は電子放出に明確なしきい値電圧を有しており、しきい値電圧を超える電圧が印加された場合にのみ電子放出が

生じる。また、しきい値電圧を超える電圧に対しては表面伝導型電子放出素子への印加電圧の変化に応じて放出電流も変化して行く。表面伝導型電子放出素子の材料、構成、製造方法を変えることにより、しきい値電圧の値や印加電圧に対する放出電流の変化度合いが変わる場合もあるが、いずれにしても以下のことがいえる。

【0103】即ち、表面伝導型電子放出素子にパルス状の電圧を印加する場合、例えばしきい値電圧以下の電圧を印加しても電子放出は生じないが、しきい値電圧を超える電圧を印加する場合には電子放出を生じる。その際、第1には電圧パルスの波高値を変化させることにより、出力される電子ビームの強度を制御することが可能である。第2には、電圧パルスの幅を変化させることにより、出力される電子ビームの電荷の総量を制御することが可能である。

【0104】従って、入力信号に応じて表面伝導型電子放出素子を変調する方式としては、電圧変調方式とパルス幅変調方式とが挙げられる。電圧変調方式を行う場合、変調信号発生器207としては、一定の長さの電圧パルスを発生するが、入力されるデータに応じて適宜パルスの波高値を変調できる電圧変調方式の回路を用いる。また、パルス幅変調方式を行う場合、変調信号発生器207としては、一定の波高値の電圧パルスを発生するが、入力されるデータに応じて適宜パルス幅を変調できるパルス幅変調方式の回路を用いる。

【0105】シフトレジスタ204やラインメモリ205は、デジタル信号式のものでもアナログ信号式のものでもよく、画像信号のシリアル／パラレル変換や記憶が所定の速度で行えるものであればよい。

【0106】デジタル信号式を用いる場合には、同期信号分離回路206の出力信号DATAをデジタル信号化する必要がある。これは同期信号分離回路206の出力部にA/D変換器を設けることで行える。

【0107】また、これと関連して、ラインメモリ205の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器207に設けられる回路が若干異なるものとなる。

【0108】即ち、デジタル信号で電圧変調方式の場合、変調信号発生器207には、例えばよく知られているD/A変換回路を用い、必要に応じて増幅回路等を付け加えればよい。また、デジタル信号でパルス幅変調方式の場合、変調信号発生器207は、例えば高速の発振器及び発振器の出力する波数を計数する計数器（カウンタ）及び計数器の出力値と前記メモリの出力値を比較する比較器（コンパレータ）を組み合わせた回路を用いることで容易に構成することができる。更に、必要に応じて、比較器の出力するパルス幅変調された変調信号を表面伝導型電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付け加えてもよい。

【0109】一方、アナログ信号で電圧変調方式の場

合、変調信号発生器207には、例えばよく知られているオペアンプ等を用いた増幅回路を用いればよく、必要に応じてレベルシフト回路等を付け加えてもよい。また、アナログ信号でパルス幅変調方式の場合、例えばよく知られている電圧制御型発振回路(VCO)を用いればよく、必要に応じて表面伝導型電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付け加えてもよい。

【0110】以上のような表示パネル201及び駆動回路を有する本発明の画像形成装置は、端子Dx1～Dxm及びDy1～DyNから電圧を印加することにより、必要な表面伝導型電子放出素子から電子を放出させることができ、高圧端子Hvを通じて、メタルバック115あるいは透明電極(不図示)に高電圧を印加して電子ビームを加速し、加速した電子ビームを蛍光膜114に衝突させることで生じる励起・発光によって、NTSC方式のテレビ信号に応じてテレビジョン表示を行うことができるものである。

【0111】尚、以上説明した構成は、表示等に用いられる本発明の画像形成装置を得る上で必要な概略構成であり、例えば各部材の材料等、詳細な部分は上述の内容に限られるものではなく、画像形成装置の用途に適するよう、適宜選択されるものである。また、入力信号としてNTSC方式を挙げたが、本発明に係る画像形成装置はこれに限られるものではなく、PAL、SECAM方式等の他の方式でもよく、更にはこれらよりも多数の走査線からなるTV信号、例えばMUSE方式を始めとする高品位TV方式でもよい。

【0112】次に、前述の梯型配置の電子源及びこれを用いた本発明の画像形成装置の一例について図11及び図12を用いて説明する。

【0113】図11において、1は基板、104は表面伝導型電子放出素子、304は表面伝導型電子放出素子104を接続する共通配線で10本設けられており、各々外部端子D1～D10を有している。

【0114】表面伝導型電子放出素子104は、基板1上に並列に複数個配置されている。これを素子行と呼ぶ。そしてこの素子行が複数行配置されて電子源を構成している。

【0115】各素子行の共通配線304(例えば外部端子D1とD2の共通配線304)間に適宜の駆動電圧を印加することで、各素子行を独立に駆動することが可能である。即ち、電子ビームを放出させたい素子行にはしきい値電圧を超える電圧を印加し、電子ビームを放出させたくない素子行にはしきい値電圧以下の電圧を印加するようにすればよい。このような駆動電圧の印加は、各素子行間に位置する共通配線D2～D9について、夫々相隣接する共通配線304、即ち夫々相隣接する外部端子D2とD3、D4とD5、D6とD7、D8とD9の共通配線304を一体の同一配線としても行うことがで

きる。

【0116】図12は、本発明の電子源の他の例である、上記梯型配置の電子源を備えた表示パネル301の構造を示す図である。

【0117】図12中302はグリッド電極、303は電子が通過するための開口、D1～Dmは各表面伝導型電子放出素子に電圧を印加するための外部端子、G1～Gnはグリッド電極302に接続された外部端子である。また、各素子行間の共通配線304は一体の同一配線として基板1上に形成されている。

【0118】尚、図12において図7と同じ符号は同じ部材を示すものであり、図7に示される単純マトリクス配置の電子源を用いた表示パネル201との大きな違いは、基板1とフェースプレート116の間にグリッド電極302を備えている点である。

【0119】基板1とフェースプレート116の間には、上記のようにグリッド電極302が設けられている。このグリッド電極302は、表面伝導型電子放出素子104から放出された電子ビームを変調することができるもので、梯型配置の素子行と直行して設けられたストライブ状の電極に、電子ビームを通過させるために、各表面伝導型電子放出素子104に対応して1個ずつ円形の開口303を設けたものとなっている。

【0120】グリッド電極302の形状や配置位置は、必ずしも図12に示すようなものでなければならないものではなく、開口303をメッシュ状に多数設けることもあり、またグリッド電極302を、例えば表面伝導型電子放出素子104の周囲や近傍に設けてよい。

【0121】外部端子D1～Dm及びG1～Gnは不図示の駆動回路に接続されている。そして、素子行を1列ずつ順次駆動(走査)して行くのと同期してグリッド電極302の列に画像1ライン分の変調信号を印加することにより、各電子ビームの蛍光膜114への照射を制御し、画像を1ラインずつ表示することができる。

【0122】以上のように、本発明の画像形成装置は、単純マトリクス配置及び梯型配置のいずれの本発明の電子源を用いても得ることができ、上述したテレビジョン放送の表示装置のみならず、テレビ会議システム、コンピューター等の表示装置として好適な画像形成装置が得られる。更には、感光ドラムとで構成した光プリンターの露光装置としても用いることができるものである。

【0123】

【実施例】以下に、実施例を挙げて本発明を更に詳述する。

【0124】実施例1

本実施例で用いた表面伝導型電子放出素子の構成は、図1(a)、(b)に示されるものと同様であり、その製法は、基本的には図3で説明した方法と同様である。以下、図1及び図3を用いて、本実施例で用いた表面伝導型電子放出素子の基本的な構成及び製造法を説明する。

【0125】図1において1は基板、4と5は素子電極、2は電子放出部、3は電子放出部2を含む導電性膜、6は下地薄膜である。

【0126】以下、製造手順を図1及び図3に基づいて説明する。

【0127】工程-a

基板1として石英ガラスを用い、清浄化した基板1上に蒸着マスクを配置し、高周波放電によるスパッタ法により、膜厚2000オングストローム、大きさ0.3mm×0.6mmのThO₂からなる下地薄膜6を成膜した。

【0128】工程-b

次に、下地薄膜6上に蒸着マスクを配置し、真空蒸着法により、膜厚800オングストローム、大きさ0.3mm×0.6mmのPdOの微粒子からなる導電性膜3を成膜した。

【0129】尚、ここで述べる微粒子膜とは、前述したように、複数の微粒子が集合した膜であり、その微細構造として、微粒子が個々に分散配置した状態のみならず、微粒子が互いに隣接、あるいは、重なり合った状態（島状も含む）の膜をさし、その粒径とは、この状態で粒子形状が認識可能な微粒子についての径をいう。

【0130】工程-c

更に、導電性膜3上に、所望の電極形状開口を有するパターンをホトレジスト（RD-2000N-41・日立化成社製）で形成し、真空蒸着法により、厚さ5000オングストロームのNiを堆積した。ホトレジストパターンを有機溶剤で溶解し、Ni堆積膜をリフトオフして、素子電極間隔Lが5マイクロメートルの素子電極4、5を形成した。

【0131】以上の工程により、基板1上に下地薄膜6、導電性膜3及び素子電極4、5を形成した。

【0132】工程-d

上記工程を経た基板1を図5の測定評価系に設置し、真空ポンプにて排気して、2×10の-5乗torrの真空度に達した後、素子電圧Vfを印加するための電源5より各素子電極4、5間に夫々電圧を印加し、通電処理（フォーミング処理）を施した。フォーミング処理の電圧波形は図4（b）に示されるような波形とした。

【0133】図4（b）中、T1及びT2は電圧波形のパルス幅とパルス間隔であり、本実施例ではT1を1ミリ秒、T2を10ミリ秒とし、三角波の波高値（フォーミング時のピーク電圧）は0.1Vステップで昇圧させてフォーミング処理を行なった。また、フォーミング処理中は、同時に、0.1Vの電圧でT2間に抵抗測定パルスを挿入して抵抗を測定した。尚、フォーミング処理の終了は、抵抗測定パルスでの測定値が約1Mオーム以上になった時とし、同時に、表面伝導型電子放出素子への電圧の印加を終了した。表面伝導型電子放出素子のフォーミング電圧VFは10Vであった。尚、下地薄膜6

10

20

30

40

50

を構成するThO₂の仕事関数（2.6eV）は、亀裂内部で電子放出に関与しているPdの仕事関数（4.0eV）に比べて低い。

【0134】工程-e

続いて、フォーミング処理した表面伝導型電子放出素子に、波高値が18Vの矩形波を印加して活性化処理をした。

【0135】活性化処理は、図5の測定評価系内で、素子電極4、5間に、素子電流If及び放出電流Ieを測定しながら上記パルス電圧を印加することで行った。尚、この時の図5の測定評価装置内の真空度は1.5×10の-5乗torrであった。Ieが、約30分で最大となったので、活性化処理を終了した。

【0136】更に、上述の工程で作製した表面伝導型電子放出素子の電子放出特性を、上述の図5の測定評価系を用いて測定した。この測定は、真空オイルを使用しないイオンポンプ等の超高真空排気装置を用いて排気し、有機物質の混入を極力防止した条件下で行った。

【0137】尚、図5におけるアノード電極34と表面伝導型電子放出素子の距離を4mm、アノード電極34の電位を1kV、電子放出特性測定時の真空装置内の真空度は1×10の-6乗torrとした。

【0138】素子電極4、5間に15Vの素子電圧を印加し、その時に流れる素子電流If及び放出電流Ieを測定した。表面伝導型電子放出素子は、素子電圧15Vにて素子電流Ifが16ミリアンペア、放出電流Ieが25マイクロアンドアンペアであった。また、放出電流Ieの変動率は5%、1000時間連続動作後の放出電流Ieの減少率は6%であった。

【0139】比較例1

実施例1の作用効果を確認するために、実施例1における下地薄膜6を形成しない表面伝導型電子放出素子を、実施例1と同様に作製した。

【0140】工程-a

清浄化した石英ガラス基板1上に蒸着マスクを配置し、真空蒸着法により、膜厚800オングストローム、大きさ0.3mm×0.6mmのPdOの微粒子からなる導電性膜3を成膜した。

【0141】工程-b

更に、導電性膜3上に、所望の電極形状開口を有するパターンをホトレジスト（RD-2000N-41・日立化成社製）で形成し、真空蒸着法により、厚さ5000オングストロームのNiを堆積した。ホトレジストパターンを有機溶剤で溶解し、Ni堆積膜をリフトオフして、素子電極間隔Lが5マイクロメートルの素子電極4、5を形成した。

【0142】その後、実施例1の工程-d及びeと同様に、フォーミング処理及び活性化処理をした。

【0143】このようにして作製した表面伝導型電子放出素子の電子放出特性を、図5の測定評価系を用いて測

定した。この測定は、真空オイルを使用しないイオンポンプ等の超高真空排気装置を用いて排気し、有機物質の混入を極力防止した条件下で行った。

【0144】尚、図5におけるアノード電極34と表面伝導型電子放出素子の距離を4mm、アノード電極34の電位を1kV、電子放出特性測定時の真空装置内の真空度は 1×10^{-6} torrとした。

【0145】素子電極4、5間に15Vの素子電圧を印加し、その時に流れる素子電流If及び放出電流Ieを測定した。表面伝導型電子放出素子は、素子電圧15Vにて素子電流Ifが1.6ミリA、放出電流Ieが40マイクロAであった。また、放出電流Ieの変動率は9%、1000時間連続動作後の放出電流Ieの減少率は9%であった。

【0146】実施例1と比較例1を比較すると、放出電流Ieは60%増え、変動率は5.6%になり、1000時間連続動作後の放出電流Ieの減少率は9%から6%になり、電子放出特性が改善され、安定化し、長寿命な表面伝導型電子放出素子が得られた。

【0147】実施例2

図13に示す実施例2の表面伝導型電子放出素子の製造手順を説明する。実施例2では、実施例1と異なり、下地薄膜6を形成しない。

【0148】工程-a

基板1としてチタン酸バリウムを用い、清浄化した基板1上に有機Pd(ccp4230奥野製薬(株)社製)をスピナーにより回転塗布し、300℃で15分間焼成し、更にドライエッキングを含むフォトリソグラフィー法によって、大きさ $0.5\text{ mm} \times 1.0\text{ mm}$ のPdOの微粒子からなる導電性膜3を成膜した。

【0149】工程-b

更に、導電性膜3上に、真空蒸着法により、厚さ3000オングストロームのCrを堆積し、フォトリソグラフィー法により素子電極間隔しが5マイクロメートル、露出する導電性膜3の幅が0.5mmとなるように素子電極4、5を形成した。

【0150】工程-c

上記工程を経た基板1を図5の測定評価系に設置し、真空ポンプにて排気して、 2×10^{-6} torrの真空度に達した後、素子電圧Vfを印加するための電源51より各素子電極4、5間に夫々電圧を印加し、通電処理(フォーミング処理)を施した。フォーミング処理の電圧波形は図4(b)に示されるような波形とした。

【0151】フォーミング処理の終了は、抵抗測定パルスでの測定値が約1Mオーム以上になった時とし、同時に、表面伝導型電子放出素子への電圧の印加を終了した。表面伝導型電子放出素子のフォーミング電圧VFは6Vであった。尚、チタン酸バリウムの仕事関数(~2eV)は、亀裂内部で電子放出に関与しているPdの仕事関数(4.8eV)に比べて低い。

【0152】工程-d

続いて、フォーミング処理した表面伝導型電子放出素子に、波高値が18Vの矩形波を印加して活性化処理をした。

【0153】このようにして作製した表面伝導型電子放出素子の電子放出特性を、図5の測定評価系を用いて測定した。この測定は、真空オイルを使用しないイオンポンプ等の超高真空排気装置を用いて排気し、有機物質の混入を極力防止した条件下で行った。

【0154】尚、図5におけるアノード電極34と表面伝導型電子放出素子の距離を4mm、アノード電極34の電位を1kV、電子放出特性測定時の真空装置内の真空度は 1×10^{-6} torrとした。

【0155】素子電極4、5間に18Vの素子電圧を印加し、その時に流れる素子電流If及び放出電流Ieを測定した。表面伝導型電子放出素子は、素子電圧18Vにて素子電流Ifが6.4ミリA、放出電流Ieが13マイクロAであった。また、放出電流Ieの変動率は4%、1000時間連続動作後の放出電流Ieの減少率は4%であった。

【0156】比較例2

実施例2の作用効果を確認するために、実施例2で基板1の材料を石英ガラスに代えて実施例2と全く同一に作製し、表面伝導型電子放出素子を得た。

【0157】次に、実施例1の工程-d及びeと同様に、フォーミング処理及び活性化処理をした。尚、フォーミング電圧VFは、8Vであった。

【0158】この表面伝導型電子放出素子の電子放出特性を、図5の測定評価系を用いて測定した。この測定は、真空オイルを使用しないイオンポンプ等の超高真空排気装置を用いて排気し、有機物質の混入を極力防止した条件下で行った。

【0159】尚、図5におけるアノード電極34と表面伝導型電子放出素子の距離を4mm、アノード電極34の電位を1kV、電子放出特性測定時の真空装置内の真空度は 1×10^{-6} torrとした。

【0160】素子電極4、5間に20Vの素子電圧を印加し、その時に流れる素子電流If及び放出電流Ieを測定した。表面伝導型電子放出素子は、素子電圧20Vにて素子電流Ifが6.4ミリA、放出電流Ieが7マイクロAであった。また、放出電流Ieの変動率は8%、1000時間連続動作後の放出電流Ieの減少率は7%であった。

【0161】実施例2と比較例2を比較すると、放出電流Ieは8.6%増え、変動率は1/2になり、1000時間連続動作後の放出電流Ieの減少率は7%から4%になり、電子放出特性が改善され、安定化し、長寿命な表面伝導型電子放出素子が得られた。

【0162】実施例3

50 本実施例は、多数の表面伝導型電子放出素子を単純マト

リクス配置した電子源を用いた画像形成装置の例である。

【0163】電子源の一部の平面図を図14に示す。また、図中のA-A'断面図を図15に、製造手順を図16及び図17に示す。但し、図14、図15、図16及び図17において同じ符号は同じ部材を示す。

【0164】ここで1は基板、102はX方向配線（下配線とも呼ぶ）、103はY方向配線（上配線とも呼ぶ）、3は電子放出部を含む導電性膜、4、5は素子電極、6は下敷き薄膜、151は層間絶縁層、152は素子電極5と下配線102と電気的接続のためのコンタクトホールであり、下地薄膜6及び導電性膜3上に素子電極4、5を形成する場合である。

【0165】次に製造方法を、図16及び図17に基づいて工程順に従って具体的に説明する。尚、以下の各工程a～hは図16及び図17の(a)～(h)に対応するものである。

【0166】工程-a

清浄化した石英ガラス基板1上に、真空蒸着法により、厚さ5ナノメートルのCr、厚さ600ナノメートルのAuを順次積層した後、ホトレジスト(AZ1370・ヘキスト社製)をスピナーにより回転塗布し、ベークした後、ホトマスク像を露光、現像して、下配線102のレジストパターンを形成し、Au/Cr堆積膜をウエットエッチングして、所望の形状の下配線102を形成した。

【0167】工程-b

次に、厚さ1.0ミクロンメートルのシリコン酸化膜からなる層間絶縁層151をRFスパッタ法により堆積した。

【0168】工程-c

工程bで堆積したシリコン酸化膜にコンタクトホール152を形成するためのホトレジストパターンを作り、これをマスクとして層間絶縁層151をエッチングしてコンタクトホール152を形成した。エッチングはCF₄とH₂ガスを用いたRIE(Reactive Ion Etching)法によった。

【0169】工程-d

その後、素子電極4と素子電極5間ギャップGとなるべきパターンをホトレジスト(RD-2000N-41・日立化成社製)で形成し、真空蒸着法により、厚さ5ナノメートルのTi、厚さ100ナノメートルのNiを順次堆積した。ホトレジストパターンを有機溶剤で溶解し、Ni/Ti堆積膜をリフトオフし、素子電極間隔L1が3ミクロンメートル、幅W1が300ミクロンメートルの素子電極4、5を形成した。

【0170】工程-e

素子電極4、5の上に上配線103のホトレジストパターンを形成した後、厚さ5ナノメートルのTi、厚さ500ナノメートルのAuを順次真空蒸着により堆積し、

リフトオフにより不要の部分を除去して、所望の形状の上配線103を形成した。

【0171】工程-f

次に、膜厚2000オングストロームのTiO₂からなる下地薄膜6を高周波放電によるスパッタ法により堆積・バーニングし、その上有機Pd(ccp4230・奥野製薬(株)社製)をスピナーにより回転塗布し、300℃で12分間の加熱焼成処理をした。また、こうして形成された主元素がPdの微粒子からなる導電性膜3の膜厚は70ナノメートル、シート抵抗値は4×10の4乗Ω/□であった。尚、ここで述べる微粒子膜とは、上述したように、複数の微粒子が集合した膜であり、その微細構造として、微粒子が個々に分散配置した状態のみならず、微粒子が互いに隣接、あるいは、重なり合った状態(島状も含む)の膜をさし、その粒径とは、上記状態で粒子形状が認識可能な微粒子についての径をいう。

【0172】工程-g

下地薄膜6及び焼成後の導電性膜3を酸エッチャントによりエッティングして所望のパターンを形成した。

【0173】工程-h

コンタクトホール152部分以外にレジストを塗布してパターンを形成し、真空蒸着により厚さ5ナノメートルのTi、厚さ500ナノメートルのAuを順次堆積した。リフトオフにより不要の部分を除去することにより、コンタクトホール152を埋め込んだ。

【0174】実施例4

次に、以上のようにして作成した電子源を用いて画像形成装置を構成した例を、図11及び図12を用いて説明する。

【0175】図11及び図12において、1は基板、302は表面伝導型電子放出素子104から放出された電子ビームを制御するグリッド電極、303は電子ビームが通過する開口、304は表面伝導型電子放出素子104に電力を供給するための共通配線、305はグリッド電極を外に取り出すためのグリッド電極端子、306は共通配線304を外に取り出すための配線端子、116は裏面にメタルバックが施された蛍光体122を塗布した透明なフェースプレート、307は蛍光体122に高電圧を供給するための高圧端子、118は画像形成装置内を真空に保持する外匣器である。

【0176】まず、基板1に図1に示した構造の表面伝導型電子放出素子104を形成した。尚、下地薄膜6として仕事関数(2.4eV)のニオブ酸バリウム、電子放出部を含む導電性膜3としてSiO₂(SiO₂を用いた場合、亀裂内部の電子放出に関与しているSnの仕事関数は4.4eV)、素子電極4、5としてCuを用いた。

【0177】次に、共通配線304を素子電極4、5と十分重なるように作製し、更に絶縁層(図示せず)を介

して開口303を設けたN1のグリッド電極302を作製した。表面伝導型電子放出素子104、共通配線304、グリッド電極302等を作製した基板1を外囲器118に入れ、配線端子306と共に配線304、グリッド電極302とグリッド電極端子305を接続し、フェースプレート116を外囲器118にフリットガラスを用いて溶着し、排気管(図示せず)を通して外囲器118内部を圧力 1×10^{-6} torr以下に真空排気する。

【0178】その後、配線端子306に40Vの電圧を徐々に印加し通電処理を行った。そして、バリウムを主成分とするゲッター材を蒸着し、最後に排気管を封じ切り画像形成装置を作製した。

【0179】比較例4

実施例4における下地薄膜6を形成しないで、他は全く実施例4と同一に作製した画像形成装置を得て、実施例4と比較例4を比較した。蛍光体122に5kVを印加し、表面伝導型電子放出素子104を最大20Vのバルスにより駆動し、その他同一条件で測定比較したところ、実施例4は比較例4に比べて70%輝度が高くなり、輝度の変動も50%、1000時間後の輝度低下の40%程度改善された。

【0180】実施例5

図18は、前述の表面伝導型電子放出素子を電子源として用いたディスプレイパネルに、例えばテレビジョン放送を始めとする種々の画像情報源より提供される画像情報を表示できるように構成した本発明の画像形成装置の一例を示す図である。

【0181】図中16100はディスプレイパネル、16101はディスプレイパネルの駆動回路、16102はディスプレイコントローラ、16103はマルチブレクサ、16104はデコーダ、16105は出入力インターフェース回路、16106はCPU、16107は画像生成回路、16108及び16109及び16110は画像メモリーインターフェース回路、16111は画像入力インターフェース回路、16112及び16113はTV信号受信回路、16114は入力部である。

【0182】尚、本画像形成装置は、例えばテレビジョン信号のように、映像情報と音声情報の両方を含む信号を受信する場合には当然映像の表示と同時に音声を再生するものであるが、本発明の特徴と直接関係しない音声情報の受信、分離、再生、処理、記憶等に関する回路やスピーカー等については説明を省略する。

【0183】以下、画像信号の流れに沿って各部の機能を説明する。

【0184】まず、TV信号受信回路16113は、例えば電波や空間光通信等のような無線伝送系を用いて伝送されるTV信号を受信するための回路である。

【0185】受信するTV信号の方式は特に限られるものではなく、例えばNTSC方式、PAL方式、SEC

AM方式等、いずれの方式でもよい。また、これらより更に多数の走査線となるTV信号、例えばMUSE方式を始めとする所謂高品位TVは、大面積化や大画素数化に適した前記ディスプレイパネルの利点を生かすのに好適な信号源である。

【0186】TV信号受信回路16113で受信されたTV信号は、デコーダ16104に出力される。

【0187】TV信号受信回路16112は、例えば同軸ケーブルや光ファイバー等のような有線伝送系を用いて伝送されるTV信号を受信するための回路である。前記TV信号受信回路16113と同様に、受信するTV信号の方式は特に限られるものではなく、また本回路で受信されたTV信号もデコーダ16104に出力される。

【0188】画像入力インターフェース回路16111は、例えばTVカメラや画像読み取りスキャナーなどの画像入力装置から供給される画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ16104に出力される。

【0189】画像メモリーインターフェース回路16110は、ビデオテープレコーダー(以下VTRと略す)に記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ16104に出力される。

【0190】画像メモリーインターフェース回路16109は、ビデオディスクに記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ16104に出力される。

【0191】画像メモリーインターフェース回路16108は、静止画ディスクのように、静止画像データを記憶している装置から画像信号を取り込むための回路で、取り込まれた静止画像データはデコーダ16104に入力される。

【0192】出入力インターフェース回路16105は、本表示装置と、外部のコンピュータもしくはコンピュータネットワークもしくはプリンターなどの出力装置とを接続するための回路である。画像データや文字・図形情報の入出力を行うのは勿論のこと、場合によっては本画像形成装置の備えるCPU16106と外部との間で制御信号や数値データの入出力などを行うことも可能である。

【0193】画像生成回路16107は、前記出入力インターフェース回路16105を介して外部から入力される画像データや文字・図形情報や、あるいはCPU16106より出力される画像データや文字・図形情報に基づき、表示用画像データを生成するための回路である。本回路の内部には、例えば画像データや文字・図形情報を蓄積するための書き換え可能メモリーや、文字コードに対応する画像パターンが記憶されている読み出し専用メモリーや、画像処理を行うためのプロセッサー等

を初めとして、画像の生成に必要な回路が組み込まれている。

【0194】本回路により生成された表示用画像データは、デコーダ16104に出力されるが、場合によっては前記入出力インターフェース回路16105を介して外部のコンピュータネットワークやプリンターに出力することも可能である。

【0195】CPU16106は、主として本表示装置の動作制御や、表示画像の生成や選択や編集に関わる作業を行う。

【0196】例えば、マルチプレクサ16103に制御信号を出し、ディスプレイパネルに表示する画像信号を適宜選択したり組み合わせたりする。その際には表示する画像信号に応じてディスプレイパネルコントローラ16102に対して制御信号を発生し、画面表示周波数や走査方法（例えばインターレースかノンインターレースか）や一画面の走査線の数など表示装置の動作を適宜制御する。また、前記画像生成回路16107に対して画像データや文字・図形情報を直接出力したり、あるいは前記入出力インターフェース回路16105を介して外部のコンピュータやメモリーをアクセスして画像データや文字・図形情報を入力する。

【0197】尚、CPU16106は、これ以外の目的の作業にも関わるものであってよい。例えば、パーソナルコンピュータやワードプロセッサ等のように、情報を生成したり処理する機能に直接関わってもよい。あるいは前述したように、入出力インターフェース回路16105を介して外部のコンピュータネットワークと接続し、例えば数値計算等の作業を外部機器と協同して行ってもよい。

【0198】入力部16114は、前記CPU16106に使用者が命令やプログラム、あるいはデータなどを入力するためのものであり、例えばキーボードやマウスの他、ジョイスティック、バーコードリーダー、音声認識装置等の多様な入力機器を用いることが可能である。

【0199】デコーダ16104は、前記16107ないし16113より入力される種々の画像信号を3原色信号、又は輝度信号とI信号、Q信号に逆変換するための回路である。尚、図中に点線で示すように、デコーダ16104は内部に画像メモリーを備えるのが望ましい。これは、例えばMUSE方式を始めとして、逆変換するに際して画像メモリーを必要とするようなテレビ信号を扱うためである。

【0200】画像メモリーを備える事により、静止画の表示が容易になる。あるいは前記画像生成回路16107及びCPU16106と協同して、画像の間引き、補間、拡大、縮小、合成を始めとする画像処理や編集が容易になるという利点が得られる。

【0201】マルチプレクサ16103は、前記CPU16106より入力される制御信号に基づき、表示画像

を適宜選択するものである。即ち、マルチプレクサ16103はデコーダ16104から入力される逆変換された画像信号の内から所望の画像信号を選択して駆動回路16101に出力する。その場合には、一画面表示時間内で画像信号を切り換えて選択することにより、所謂多画面テレビのように、一画面を複数の領域に分けて領域によって異なる画像を表示することも可能である。

【0202】ディスプレイパネルコントローラ16102は、前記CPU16106より入力される制御信号に基づき、駆動回路16101の動作を制御するための回路である。

【0203】ディスプレイパネルの基本的な動作に関わるものとして、例えばディスプレイパネルの駆動用電源（図示せず）の動作シーケンスを制御するための信号を駆動回路16101に対して出力する。ディスプレイパネルの駆動方法に関わるものとして、例えば画面表示周波数や走査方法（例えばインターレースかノンインターレースか）を制御するための信号を駆動回路16101に対して出力する。また、場合によっては、表示画像の輝度やコントラストや色調やシャープネスといった画質の調整に関わる制御信号を駆動回路16101に対して出力する場合もある。

【0204】駆動回路16101は、ディスプレイパネル16100に印加する駆動信号を発生するための回路であり、前記マルチプレクサ16103から入力される画像信号と、前記ディスプレイパネルコントローラ16102より入力される制御信号に基づいて動作するものである。

【0205】以上、各部の機能を説明したが、図18に示した構成により、本画像形成装置においては多様な画像情報源より入力される画像情報をディスプレイパネル16100に表示することが可能である。即ち、テレビジョン放送を始めとする各種の画像信号は、デコーダ16104において逆変換された後、マルチプレクサ16103において適宜選択され、駆動回路16101に入力される。一方、ディスプレイコントローラ16102は、表示する画像信号に応じて駆動回路16101の動作を制御するための制御信号を発生する。駆動回路16101は、上記画像信号と制御信号に基づいてディスプレイパネル16100に駆動信号を印加する。これにより、ディスプレイパネル16100において画像が表示される。これらの一連の動作は、CPU16106により統括的に制御される。

【0206】本画像形成装置においては、前記デコーダ16104に内蔵する画像メモリや、画像生成回路16107及び情報の中から選択したものを表示するだけでなく、表示する画像情報に対して、例えば拡大、縮小、回転、移動、エッジ強調、間引き、補間、色変換、画像の縦横比変換等を始めとする画像処理や、合成、消去、接続、入れ換え、嵌め込み等を始めとする画像編集を行

うことも可能である。また、本実施例の説明では特に触れなかったが、上記画像処理や画像編集と同様に、音声情報に関する処理や編集を行なうための専用回路を設けてよい。

【0207】従って、本画像形成装置は、テレビジョン放送の表示機器、テレビ会議の端末機器、静止画像及び動画像を扱う画像編集機器、コンピュータの端末機器、ワードプロセッサを中心とする事務用端末機器、ゲーム機などの機能を一台で兼ね備えることが可能で、産業用あるいは民生用として極めて応用範囲が広い。

【0208】尚、図18は、表面伝導型電子放出素子を電子ビーム源とする表示パネルを用いた画像形成装置とする場合の構成の一例を示したに過ぎず、本発明の画像形成装置がこれのみに限定されるものでないことは言うまでもない。

【0209】例えば図18の構成要素の内、使用目的上必要な機能に関わる回路は省いても差し支えない。また、これとは逆に、使用目的によっては更に構成要素を追加してもよい。例えば、本表示装置をテレビ電話機として応用する場合には、テレビカメラ、音声マイク、照明機、モデムを含む送受信回路等を構成要素に追加するのが好適である。

【0210】本画像形成装置においては、とりわけ表面伝導型電子放出素子を電子源としているので、ディスプレイパネルの薄形化が容易であり、画像形成装置の奥行きを小さくすることができる。それに加えて、表面伝導型電子放出素子を電子ビーム源とする表示パネルは大画面化が容易で輝度が高く視野角特性にも優れるため、画像形成装置は臨場感にあふれ、迫力に富んだ画像を視認性良く表示することが可能である。

【0211】

【発明の効果】以上説明したように、本発明によれば、電子放出特性が向上し、安定で長寿命な電子放出素子が得られるものである。また、本発明の電子源を用いると、消費電力が少なく、周辺回路等の負担の軽い安価な表示装置等の画像形成装置が得られるものである。

【図面の簡単な説明】

【図1】本発明の平面型の電子放出素子を示す概略的構成図である。

【図2】本発明の垂直型の電子放出素子を示す概略的構成図である。

【図3】本発明の電子放出素子の製造方法を示す図である。

【図4】フォーミング波形の例を示す図である。

【図5】本発明の電子放出素子の測定評価系の一例を示す概略的構成図である。

【図6】本発明の表面伝導型電子放出素子の放出電流-素子電圧特性(I-V特性)を示す図である。

【図7】単純マトリクス配置の本発明の電子源の概略的構成図である。

【図8】単純マトリクス配置の電子源を用いた本発明の画像形成装置に用いる表示パネルの概略的構成図である

【図9】図8の表示パネルにおける蛍光膜を示す図である。

【図10】図8の表示パネルを駆動する駆動回路の一例を示す図である。

【図11】梯型配置の電子源の概略的平面図である。

【図12】梯型配置の電子源を用いた本発明の画像形成装置に用いる表示パネルの概略的構成図である。

【図13】実施例2の表面伝導型電子放出素子を示す概略的構成図である。

【図14】実施例3における電子源を示す概略的平面図である。

【図15】図14におけるA-A'断面図である。

【図16】実施例3における電子源の製造手順を示す図である。

【図17】実施例3における電子源の製造手順を示す図である。

【図18】実施例5における画像形成装置を示すブロック図である。

【符号の説明】

1 基体

2 電子放出部

3 導電性膜

4, 5 素子電極

6 下敷き薄膜

21 段差形成部材

50 素子電流I_fを測定するための電流計

51 電源

30 52 放出電流I_eを測定するための電流計

53 高圧電源

54 アノード電極

55 真空装置

56 排気ポンプ

57 ガス導入管

102 X方向配線(下配線)

103 Y方向配線(上配線)

104 表面伝導型電子放出素子

105 結線

40 111 リアプレート

112 支持枠

113 ガラス基板

114 蛍光膜

115 メタルバック

116 フェースプレート

118 外周器

121 黒色導伝材

122 蛍光体

151 層間絶縁層

50 152 コンタクトホール

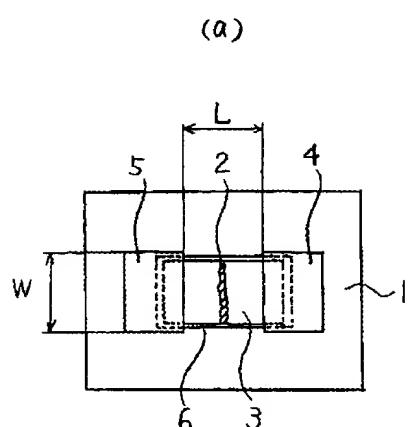
29

- 201 表示パネル
 202 走査回路
 203 制御回路
 204 シフトレジスタ
 205 ラインメモリ
 206 同期信号分離回路
 207 変調信号発生器
 301 表示パネル
 302 グリッド電極
 303 開口
 304 共通配線
 305 グリッド電極端子
 306 配線端子
 307 高圧端子
 16100 ディスプレイパネル

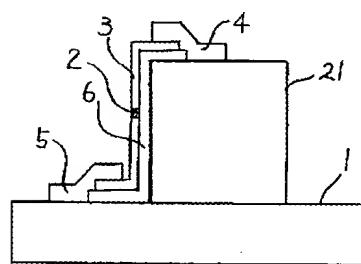
30

- 16101 駆動回路
 16102 ディスプレイコントローラ
 16103 マルチブレクサ
 16104 デコーダ
 16105 入出力インターフェース回路
 16106 CPU
 16107 画像生成回路
 16108 画像メモリーインターフェース回路
 16109 画像メモリーインターフェース回路
 10 16110 画像メモリーインターフェース回路
 16111 画像入力インターフェース回路
 16112 TV信号受信回路
 16113 TV信号受信回路
 16114 入力部

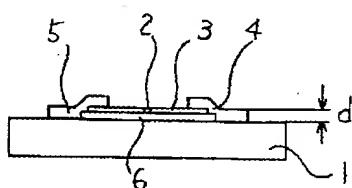
【図1】



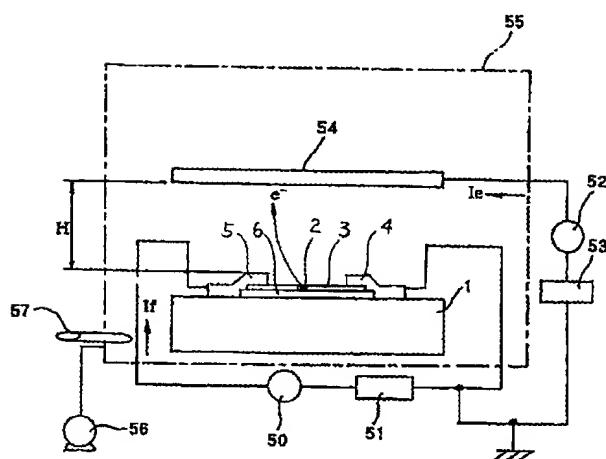
【図2】



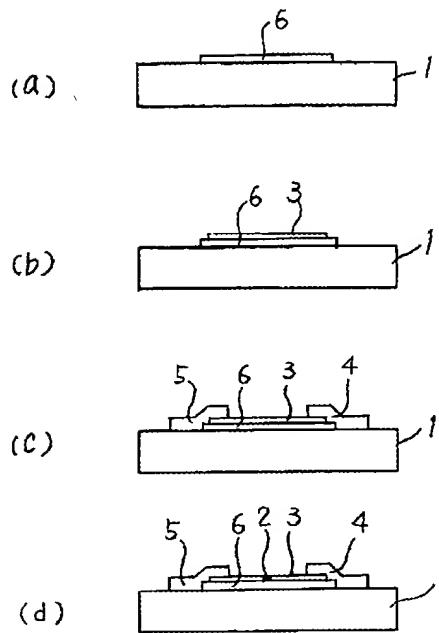
(b)



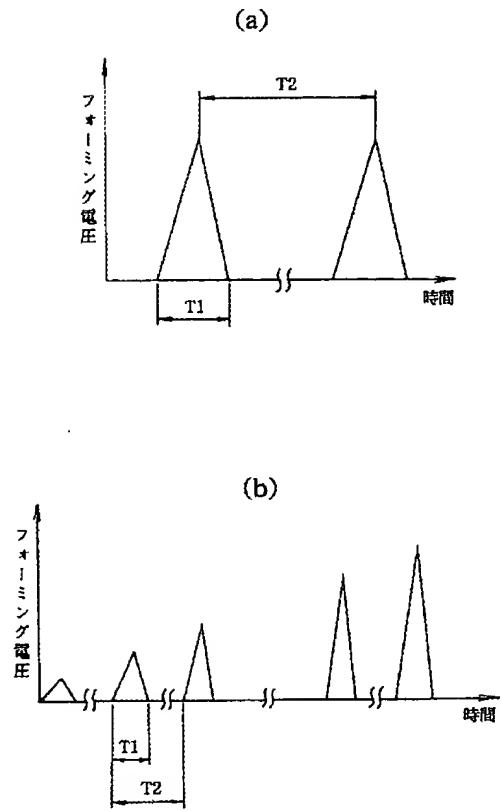
【図5】



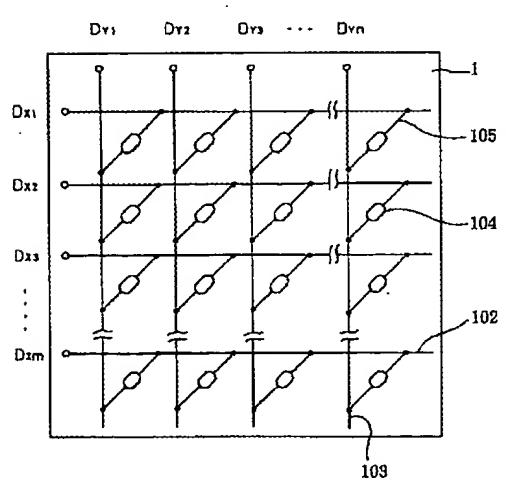
【図3】



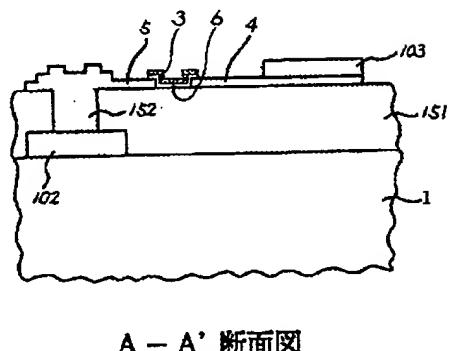
【図4】



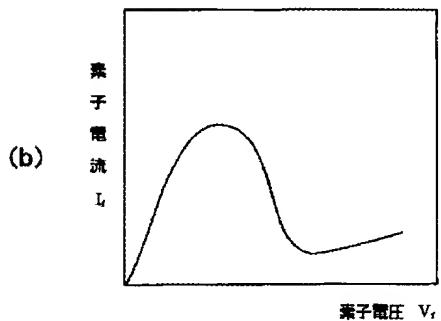
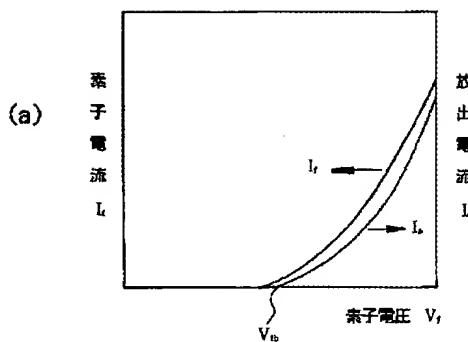
【図7】



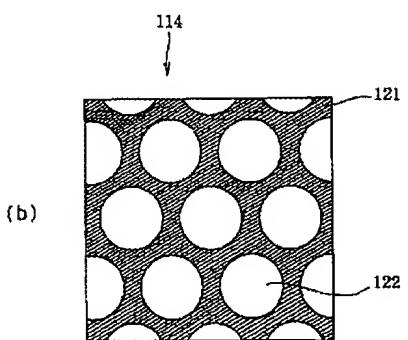
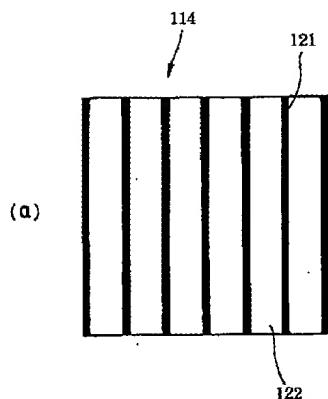
【図15】



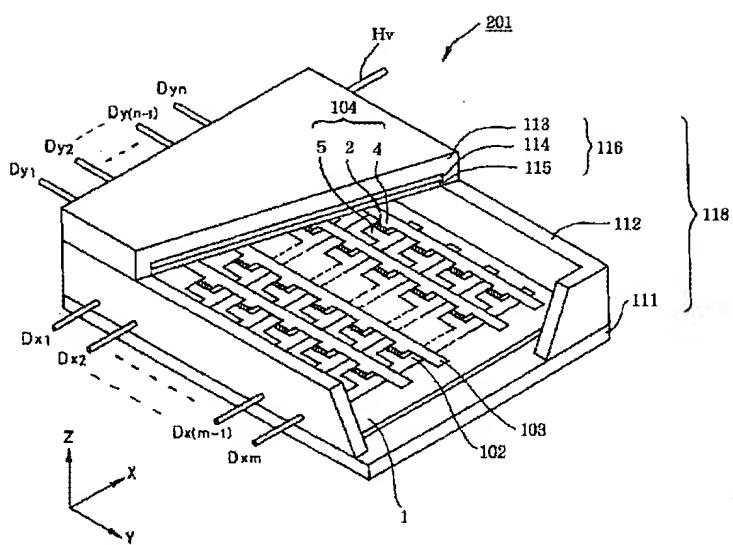
【図6】



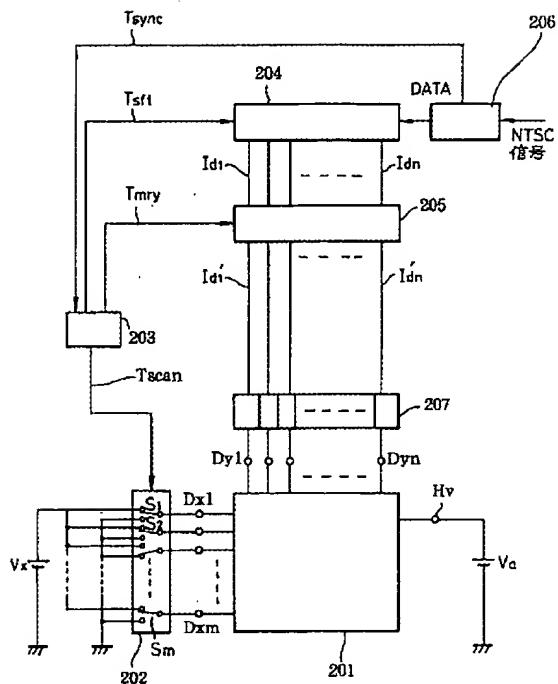
【図9】



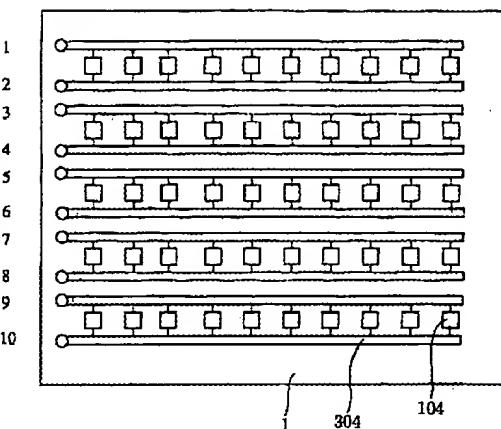
【図8】



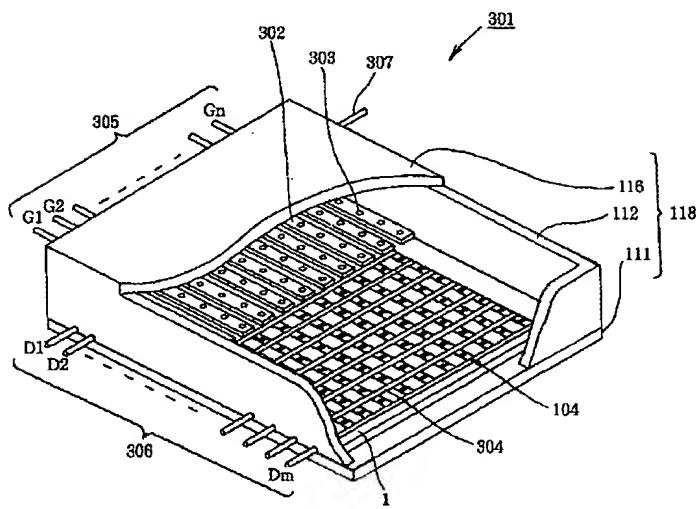
【図10】



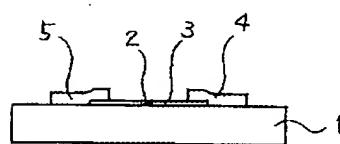
【図11】



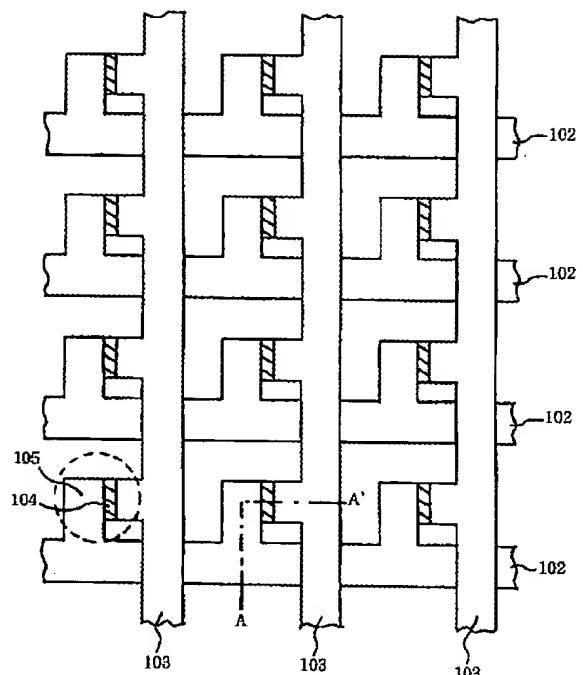
【図12】



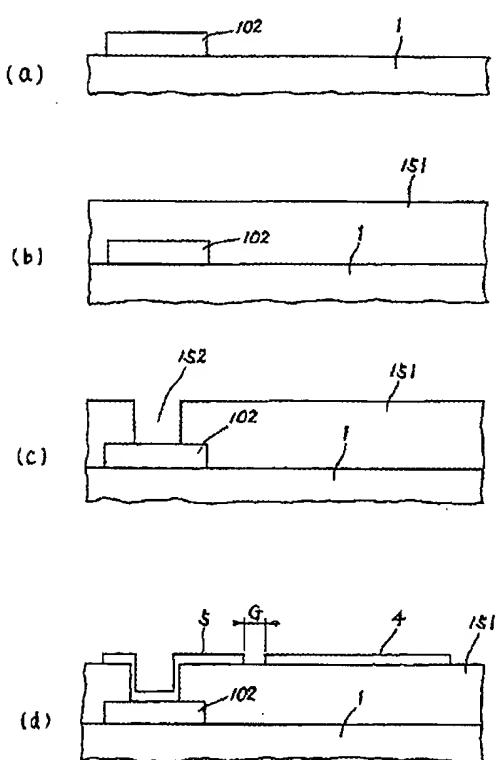
【図13】



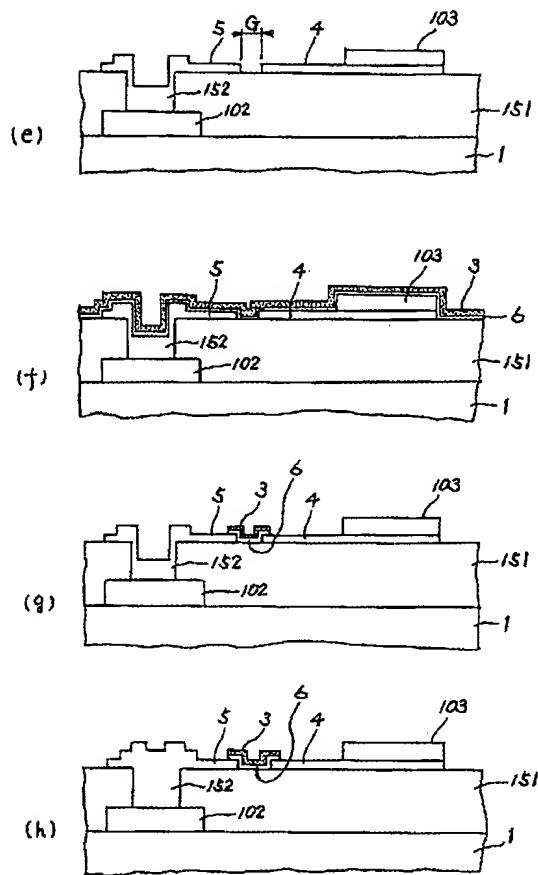
【図14】



【図16】

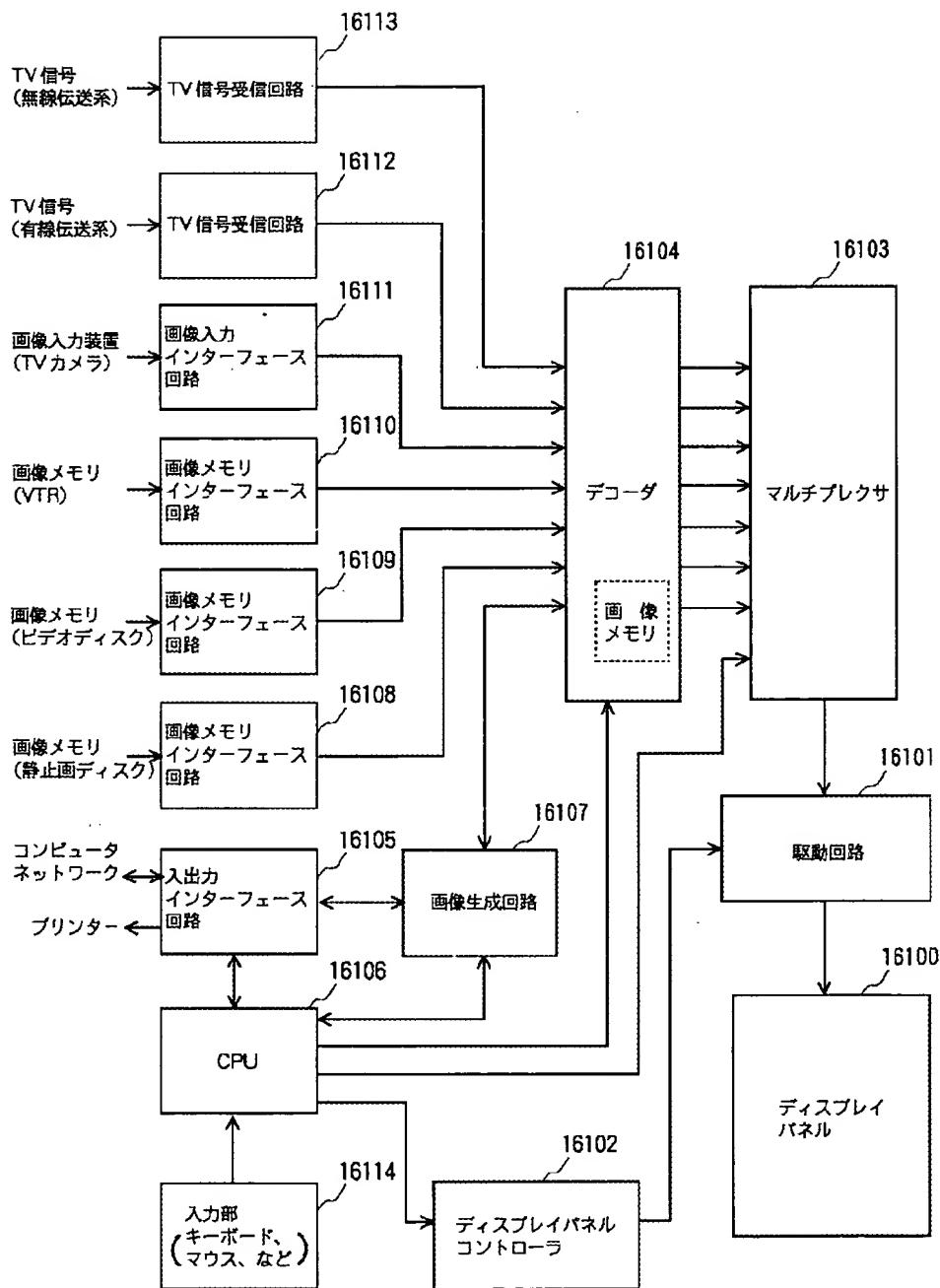


【図17】





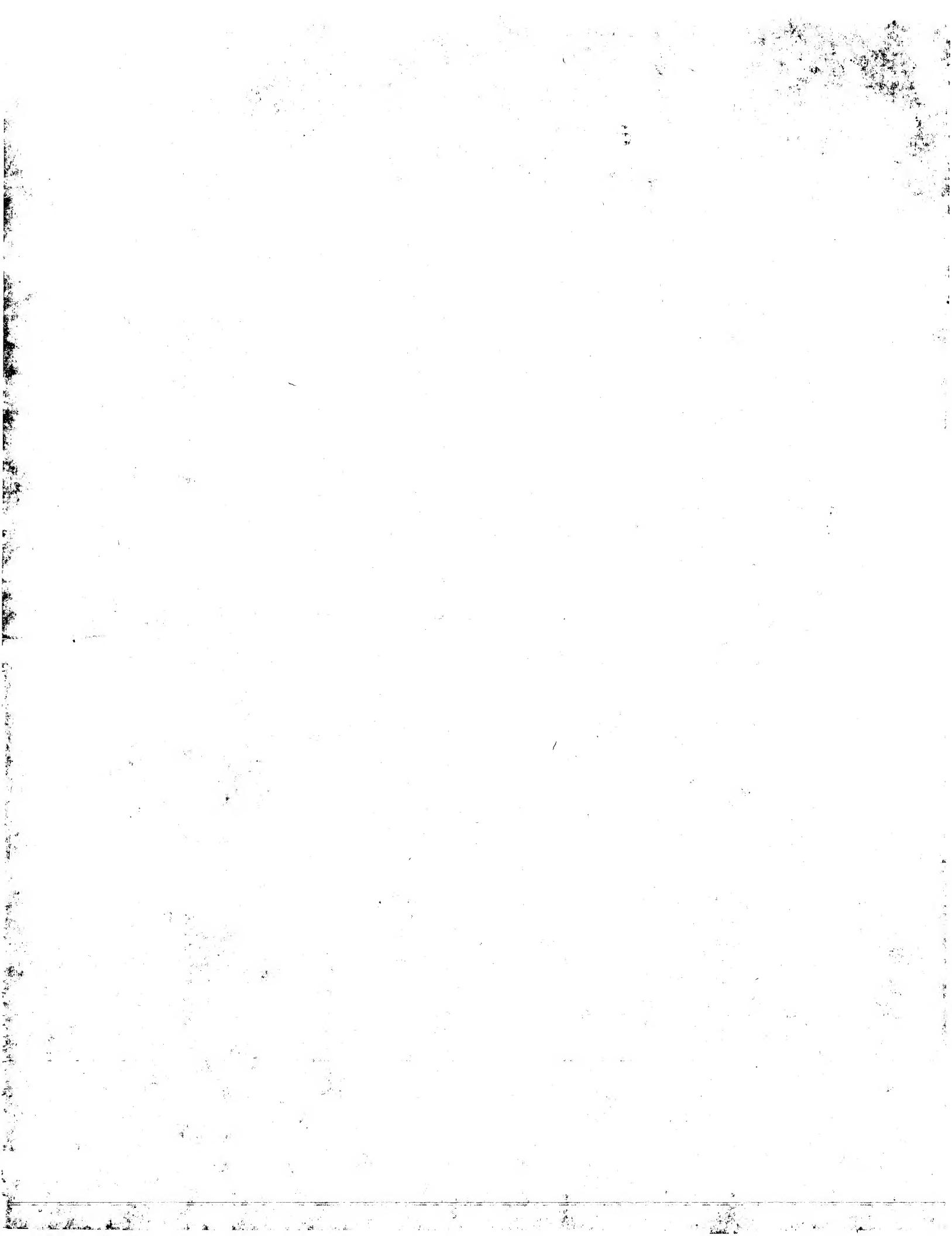
【図18】



フロントページの続き

(72)発明者 武田 傑彦
 東京都大田区下丸子3丁目30番2号 キヤ
 ノン株式会社内

(72)発明者 坂野 嘉和
 東京都大田区下丸子3丁目30番2号 キヤ
 ノン株式会社内



PATENT ABSTRACTS OF JAPAN

(11) Publication number : 08-329828 *not yet published*

(43) Date of publication of application : 13.12.1996

(51) Int.CI.

H01J 1/30
H01J 31/12

(21) Application number : 07-154071

(71) Applicant : CANON INC

(22) Date of filing : 30.05.1995

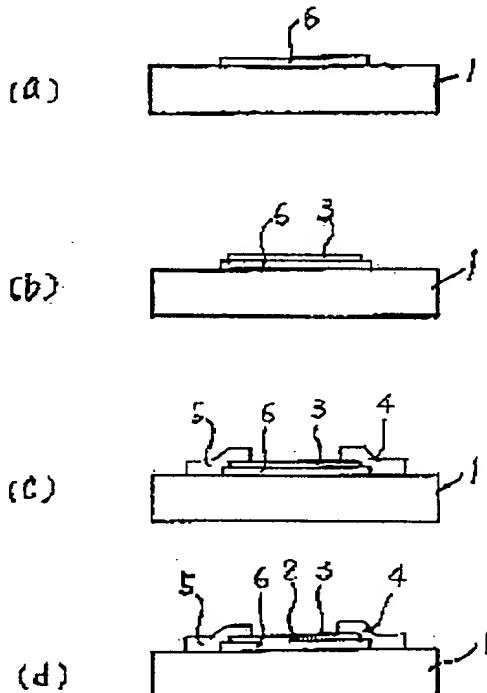
(72) Inventor : SATO YASUE
HAMAMOTO YASUHIRO
NOMURA ICHIRO
TAKEDA TOSHIHIKO
SAKANO YOSHIKAZU

(54) ELECTRON EMITTING ELEMENT, ELECTRON SOURCE USING THE SAME, AND IMAGE FORMING DEVICE

(57) Abstract:

PURPOSE: To enhance the electron emitting characteristics along with a long lifetime and stable operation by forming an electroconductive film on an underlay thin film or a base board containing specific substance(s).

CONSTITUTION: A base board 1 contains a substance having a work function lower than the substance(s) constituting an electron emission part 2, and after washing the base board 1 with detergent, pure water, and an organic solvent, an underlay film 6 is formed by the vacuum evaporation process or sputtering process. An organic metal solution having as chief element the metal constituting a conductive film 3 is applied to the base board 1 and dried and heated as a baking process, followed by a lift-off and etching process, and thus conductive film 3 with patterning is produced. An element electrode material is deposited on this film 3, followed by a photolithographic process so that element electrodes 4, 5 are formed. Current is fed from a power supply to between the element electrodes 4, 5, and the film 3 is destroyed, deformed, or denatured locally, and thus electron emission part 2 is accomplished.



LEGAL STATUS

[Date of request for examination]

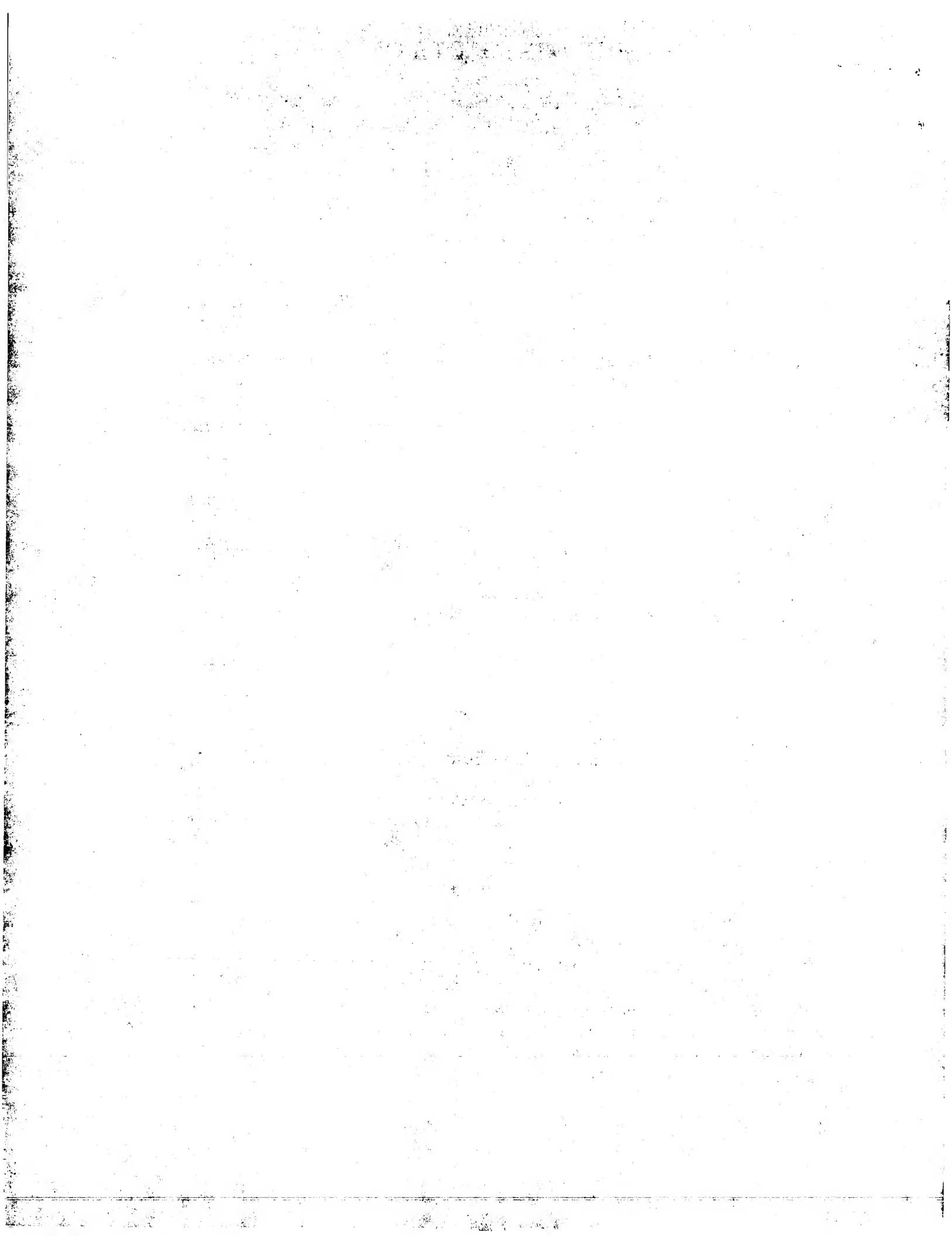
[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]



04 03/22 15:35 FAX 03 3213 1550

OKABE TOKYO 2

→ FITZ

4005

2/2 ページ

Searching PAJ

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

